

# PHS用中間周波数処理LSI

佐藤久恭\* 庭野和人\*\*\*  
 伊賀哲也\*\* 池田龍彦+  
 柏木賢一\*\*\* 益子耕一郎\*\*

## 要旨

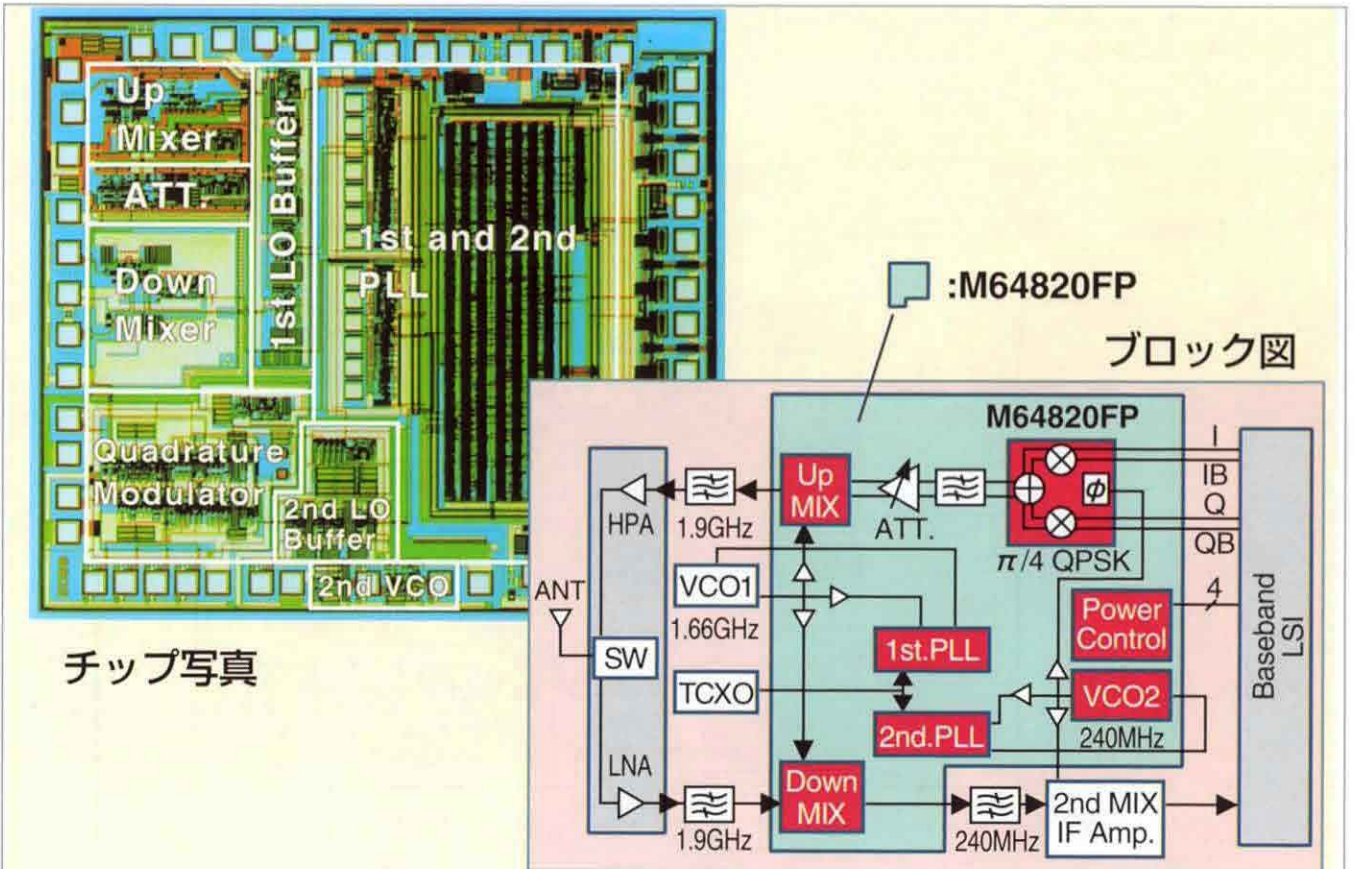
近年、携帯電話、PHS(Personal Handy-phone System)といった携帯通信機器の市場は、端末及び利用料の低価格化に伴って急速に拡大している。この分野では、小型・軽量、低消費電力が最も強く要求されるため、送受信部の高集積化が重要なポイントとなる。しかし、PHSは1.9GHzという高い周波数領域を使用するため、これまで個別部品や比較的集積度の低いICで構成されていた。

今回、高周波アナログ回路技術、高速PLL技術、信号のアイソレーションを考慮したレイアウト設計を使用して、1.9GHz帯として世界で初めての1チップPHS用中間周波数処理LSI(M64820FP)を開発した。ハイポラトランジスタの高性能化を主眼においた0.8 $\mu$ m高周波BiCMOSプ

ロセスを用い、送受信ミキサ、可変利得アンプ、直交変調器、デュアルPLL、VCOなど、中間周波数処理部の大部分を1チップに集積した。RFフロントエンドICと合わせることで送受信部を構成することができる。

動作モードに応じて電力を制御するパワーダウン回路を内蔵するとともに、低消費電力を考慮した回路構成により、送信時44mA、受信時24mA、待機時<1 $\mu$ Aと、従来の個別部品を用いた場合と比較して、消費電流を1/4以下に低減した。

このLSIをPHSに採用することにより、端末の小型化、通話時間及び待受け時間の長時間化が期待される。



## PHS用中間周波数処理LSI(M64820FP)

このLSIは0.8 $\mu$ m高周波BiCMOSプロセスを用い、高周波で動作するアナログ部とCMOSデジタル部の混載を可能とした。チップサイズは3.4mm $\times$ 3.0mmである。