

The Logic IC Collection - OKI MSM100 Series

概要

Vdd(V)	tpd(ns)	Pd(mW)	Iout(mA)	Second Source
-27 ± 1	300	7 (NOR, per Gate)	N/A	None?

MSM100 シリーズは、1960 年代に登場した沖電気オリジナルの pMOS ロジックファミリです。他の pMOS ロジックと同様に Vdd = -27V という高い電源電圧を必要とします。出力電圧はハイレベル -1 V以上、ローレベル -10V 以下となっています。

このシリーズについてはインターネット上に資料が少なく、セカンドソースも存在しなかったため、ここにデータシートを手に入れようとするのが苦労すると思います。

サンプル



MSM103RS = 8-Input NOR/1970
これはごく初期のパッケージです。



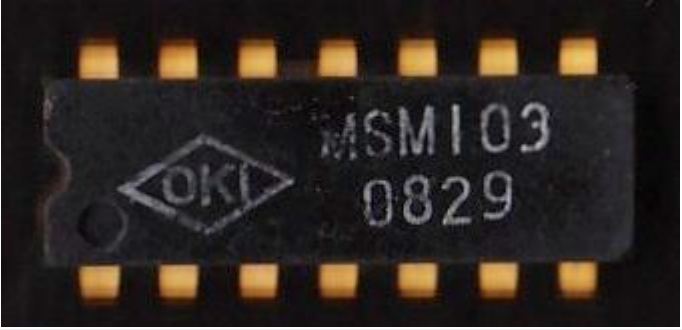


MSM131RS = Dual R-S Master-Slave Flip-Flop/1973







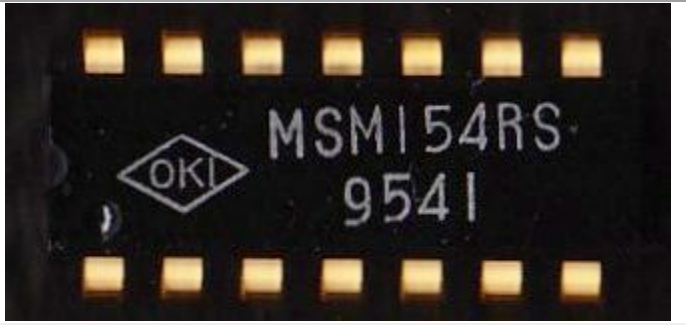
MSM154RS = BCD Decade Counter/1979

品種一覧

型名	回路機能	外形	サンプル
MSM100	Quad NOR	DIP14	
MSM101	Hex Inverter	〃	
MSM102	Dual 4-Input NOR	〃	

MSM103	8-Input NOR	"	
MSM105	Quad NAND	"	
MSM106	Dual 4-Input NAND	"	
MSM110	Dual 2W2I AND-OR (Positive Logic)	"	
MSM112	4W2I AND-OR (Positive Logic)	"	
MSM114	2W4I AND-OR (Positive Logic)	"	
MSM120	Dual 2W2I AND-OR	"	
MSM122	4W2I AND-OR	"	
MSM124	2W4I AND-OR	"	
MSM130	R-S Master-Slave Flip-Flop	"	
MSM131	Dual R-S Master-Slave Flip-Flop	"	

MSM140	4-Bit SREG (SIPO)	"	
MSM141	4-Bit SREG (PISO)	"	
MSM142	Dual 8-Bit SREG (SISO)	"	
MSM143	Dual 32-Bit SREG (SISO)	"	
MSM144	Dual 100-Bit Dynamic SREG (SISO)	"	
MSM145	Dual 50-Bit Dynamic SREG (SISO)	"	
MSM146	4/8-6/16-16/32 Bit Dynamic SREG	"	
MSM150	Synchronous Binary Up/Down Counter	"	
MSM151	Synchronous BCD Decade Up/Down Counter	"	
MSM152	Synchronous Quinary Up/Down Counter	"	

MSM153	Binary Counter (Parallel Input)	"	
MSM154	BCD Decade Counter (Parallel Input)	"	
MSM160	BCD to Decimal Decoder (Positive Logic)	?	
MSM161	7-Segment Decoder	?	
MSM162	7/8 Segment Decoder	?	
MSM171	1024-Bit ROM	DIP24	
MSM173	1120-bit ROM	?	
MSM181	Dual Full Adder	DIP14	
MSM182	Parity Checker (Positive Logic)	?	