



Fremont Micro Devices

FT61F02

数据手册

主要特性

8-bit 基于 EEPROM 的 RISC MCU

Program: 2k x 14; RAM: 128 x 8; Data: 256 x 8

6 / 8 / 10 / 14 / 16 引脚

ADC: 真正的 10-bit 精度

7 个定时器, 4 路独立 PWM – 1 路增强型捕捉/比较/PWM (带死区控制)

2 路模拟比较器, 2 路稳压器输出

低 Standby, WDT 和工作电流

POR, LVR, LVD

高 ESD, 高 EFT

低 V_{DD} 工作电压

8-bit CPU (EEPROM)

- 37 条 RISC 指令: 2T or 4T
- 16 MHz / 2T ($V_{DD} \geq 2.7$)
- 多达 16 个引脚

Memory

- PROGRAM: 2k x 14 bit (读/写保护)
- DATA: 256 x 8 bit
- RAM: 128 x 8 bit
- 8 层硬件堆栈

工作条件 (5V, 25°C)

- V_{DD} ($V_{POR} \leq 2.0V$) $V_{POR} - 5.5 V$
(通过 POR 自动调整, 0°C 以上 $\leq 1.7V$)
- 工作温度等级 1 -40 - +125 °C
- 工作温度等级 2 -40 - +105 °C
- 工作温度等级 3 -40 - +85 °C
- 低 Standby 0.7 μA
- WDT 3.2 μA
- 正常模式 (16 MHz) 207 $\mu A/mips$

高可靠性

- 100 万次擦写次数 (typical)
- > 20 年 / 85°C 存储 (typical)
- ESD > 4 kV, EFT > 5.5 kV

ADC (10-bit)

- 真正 10-bit 精度 (≤ 1 MHz ADC 时钟)
- 7 + 1 通道
- $V_{ADC-REF}$
 - ✓ 内部: 2.0, 3.0, V_{DD}
 - ✓ 外部: VREF 引脚
- 特殊事件触发和中断

比较器 (2 路)

- 16 级可编程参考电压

稳压器输出 (2 路)

- 可输出 32 档电压

PWM (Total 5)

- 增强型捕捉/比较/PWM
 - ✓ PWM 模式: 单 PWM, 半桥, 全桥
 - ✓ 3 对 PWM (6 个 I/O): 互补输出+死区
 - ✓ 单脉冲模式
 - ✓ 相同周期, 占空比
 - ✓ 极性可选

- PWM (3 路)
 - ✓ 支持 SLEEP 下运行
 - ✓ 独立: 周期, 占空比, 极性
 - ✓ 蜂鸣器模式

Timers

- WDT (16-bit): 7-bit 后分频
- Timer0 (8-bit): 8-bit 预分频
- Timer1 (16-bit): 3-bit 预分频, 带门控
- Timer2 (8-bit): 4-bit 预分频和后分频
- Timer3/4/5(12-bit): 7-bit 预分频和 8-bit 后分频
- 支持在 SLEEP 下运行
- 1 or 2x {指令时钟, HIRC}, LP, T0CK, T1CK

I/O PORTS (多达 14 个 I/O)

- 上拉/下拉电阻
- All I/O 源电流: 30mA (5V, 25°C)
- All I/O 漏电流: 23mA (5V, 25°C)
- 8 个 I/O: 中断/唤醒

电源管理

- SLEEP
- LVR: 2.0, 2.2, 2.5, 2.8, 3.1, 3.6, 4.1 (V)
- LVD: 2.0, 2.4, 2.8, 3.0, 3.6, 4.0 (V)

系统时钟 (SysClk)

- HIRC 高速内部振荡器
 - ✓ 16MHz $\leq \pm 1.5\%$ typical (2.5-5.5V, 25°C)
 - ✓ 1, 2, 4, 8, 16, 32, 64 分频
- LIRC 低功耗低速内部振荡器
 - ✓ 32 kHz 或 256 kHz
- EC 外部时钟 (I/O 输入)
- LP / XT 晶振输入
 - ✓ 双速时钟启动 (HIRC 或 LIRC)
 - ✓ 故障保护时钟监控

集成开发环境 (IDE)

- 片上调试 (OCD), ISP
- 3 个硬件断点
- 软复位, 暂停, 单步, 运行等

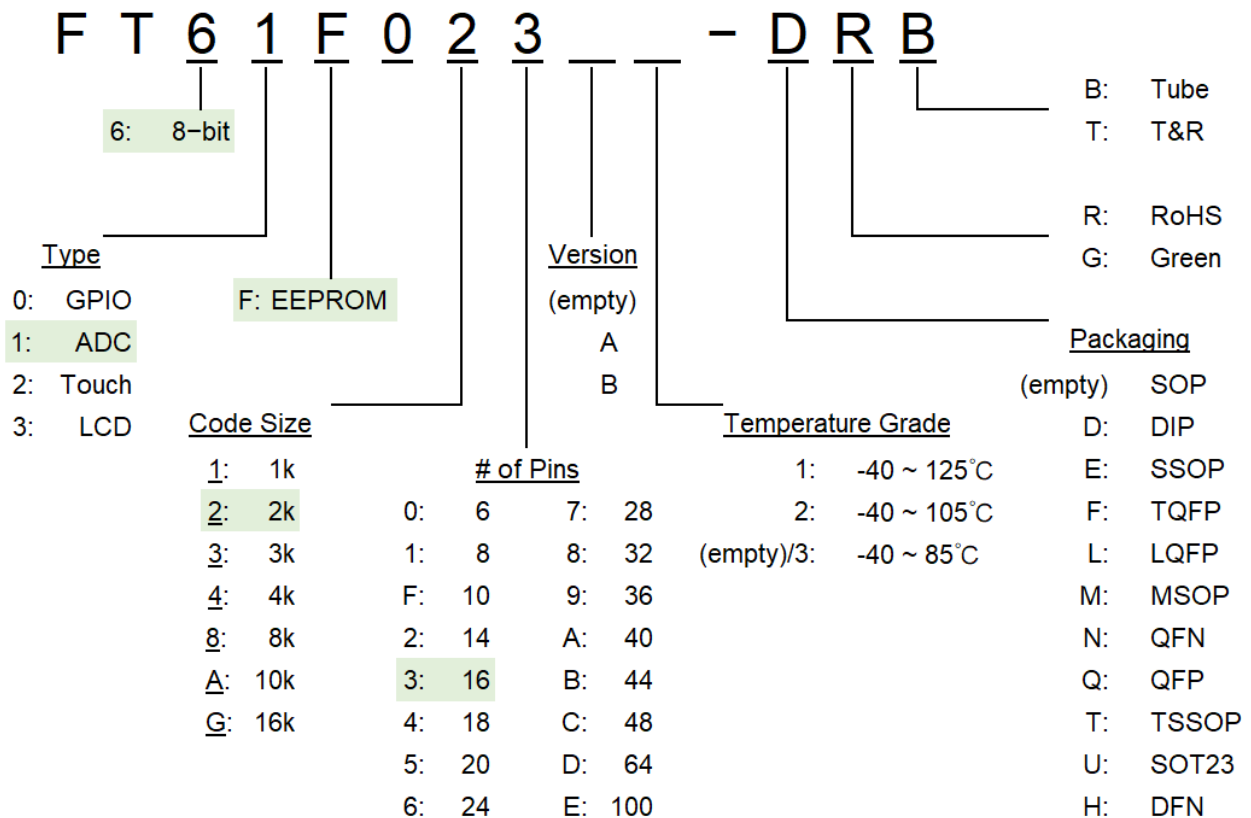
封装

- SOT23-6 SOP8 DIP8 MSOP10
- SOP14 DIP14 SOP16 DIP16

产品信息和选型表

型号	I/O 数	封装
FT61F020-U _{ab}	4	SOT23-6
FT61F021A- <u>ab</u>	6	SOP8
FT61F021A-D <u>ab</u>		DIP8
FT61F021B- <u>ab</u>		SOP8
FT61F021B-D <u>ab</u>		DIP8
FT61F02F-M <u>ab</u>	8	MSOP-10
FT61F02FA-M <u>ab</u>		
FT61F022A- <u>ab</u>	12	SOP14
FT61F022A-D <u>ab</u>		DIP14
FT61F022B- <u>ab</u>		SOP14
FT61F023- <u>ab</u>	14	SOP16
FT61F023-D <u>ab</u>		DIP16

此处 a = R; RoHS b = B; Tube
 = G; Green = T; T&R



MCU 产品订购信息

文档修改历史

日期	版本	描述
2016-05-25	1.00	初版
2021-11-26	2.00	全面优化版本 (请忽略初版)
2022-06-10	2.01	更新电气特性部分

目录

1. 结构框图和引脚.....	8
1.1 引脚图.....	9
1.2 引脚描述--按功能分类.....	11
2. I/O 端口.....	13
2.1 I/O 端口相关寄存器汇总.....	15
2.2 I/O 配置.....	15
3. 上电复位 (POR).....	17
3.1 初始化配置时序.....	17
4. 系统复位.....	19
4.1 系统复位相关寄存器汇总.....	20
4.2 欠压复位 (Brown-Out Reset, LVR / BOR).....	20
4.3 非法指令复位 (Illegal Instruction Reset).....	21
4.4 看门狗定时器 (Watch Dog Timer, WDT) 复位.....	21
4.5 外部 I/O 系统复位 /MCLR.....	21
4.6 检测上次复位类型.....	22
5. 低电压检测 (LVD).....	23
6. 振荡器和系统时钟.....	24
6.1 振荡器模块相关寄存器汇总.....	25
6.2 内部时钟模式 (HIRC 和 LIRC).....	27
6.3 外部时钟模式 (EC / LP / XT).....	28
6.3.1 EC 模式.....	28
6.3.2 LP 和 XT 模式.....	28
6.4 HIRC, LIRC 和 EC 时钟的内部切换.....	29
7. 定时器 (TIMERS) 和 PWMx.....	30
7.1 看门狗定时器 (Watch Dog Timer, WDT).....	31
7.1.1 WDT 相关寄存器汇总.....	32
7.1.2 WDT 的设置和使用.....	33
7.1.3 在 Timer0 和 WDT 之间切换分频电路.....	33
7.2 定时器 0 (TIMER0).....	34
7.2.1 Timer0 相关寄存器汇总.....	35
7.3 定时器 1 (TIMER1).....	36

7.3.1	Timer1 相关寄存器汇总	37
7.3.2	Timer1 寄存器的读/写操作.....	38
7.3.3	Timer1 门控模式	38
7.4	定时器 2 (TIMER2).....	39
7.4.1	Timer2 相关寄存器汇总	40
7.5	定时器 3/4/5 (TIMER3/4/5) 和 PWM3/4/5	41
7.5.1	Timer3/4/5 相关寄存器汇总	42
7.5.2	Timer3/4/5 寄存器的读/写操作	44
7.5.3	PWMx 模式	44
8.	SLEEP 睡眠模式 (POWER-DOWN)	46
8.1	进入 SLEEP.....	46
8.2	从 SLEEP 中唤醒	47
9.	中断 (INTERRUPTS)	48
9.1	中断相关寄存器汇总.....	50
9.2	PC1-INT 和 PORTA 端口变化中断.....	52
10.	增强型捕捉/比较/PWM 模块 (ECCP)	53
10.1	ECCP 相关寄存器汇总	53
10.2	捕捉模式	57
10.3	比较模式	58
10.4	PWM 增强模式	59
10.4.1	周期.....	59
10.4.2	占空比	60
10.4.3	PWM 输出	60
10.4.4	PWM 自动关闭和自动重启	65
10.4.5	PWM 辅助功能.....	66
10.4.6	PWM 配置步骤.....	68
11.	数据 EEPROM (DATA EEPROM)	69
11.1	DATA EEPROM 相关寄存器汇总.....	69
11.2	写 DATA EEPROM	70
11.3	读 DATA EEPROM	71
11.4	自动擦除功能.....	71
12.	10-bit 模/数转换器 (ANALOG TO DIGITAL CONVERTER, ADC).....	72

12.1	ADC 相关寄存器汇总	73
12.2	ADC 配置.....	74
12.2.1	ADC 触发	75
12.2.2	ADC 中止转换.....	75
12.2.3	中断.....	76
12.3	ADC 采样保持时间	76
12.4	ADC 最短采样时间	76
12.5	ADC 转换步骤示例	77
13.	比较器	79
13.1	比较器相关寄存器汇总	79
13.2	比较器配置	81
13.2.1	比较器中断.....	83
13.2.2	比较器 2 门控 Timer1.....	83
14.	稳压器 (VREG).....	84
14.1	稳压器输出相关寄存器汇总.....	84
15.	存储区读/写保护.....	85
16.	指令集 (INSTRUCTION SET).....	86
17.	特殊功能寄存器 (SPECIAL FUNCTION REGISTERS, SFR).....	88
17.1	初始化配置寄存器	88
17.2	用户寄存器	90
17.3	STATUS 寄存器	94
17.4	PCL 和 PCLATH.....	95
18.	电气特性.....	96
18.1	极限参数.....	96
18.2	工作特性.....	96
18.3	POR, LVR, LVD	97
18.4	I/O 端口电路	98
18.5	工作电流 (I _{DD}).....	98
18.6	内部振荡器	99
18.7	ADC (10 bit) 和 ADC VREF	99
18.8	Comparator 比较器电路	101
18.9	4bit DAC 电路 (比较器参考电压设置).....	101

18.10 稳压器输出电路.....	101
18.11 Program 和 Data EEPROM.....	102
18.12 EMC 特性	102
19. 特性图	103
20. 封装信息.....	106
联系信息	114

1. 结构框图和引脚

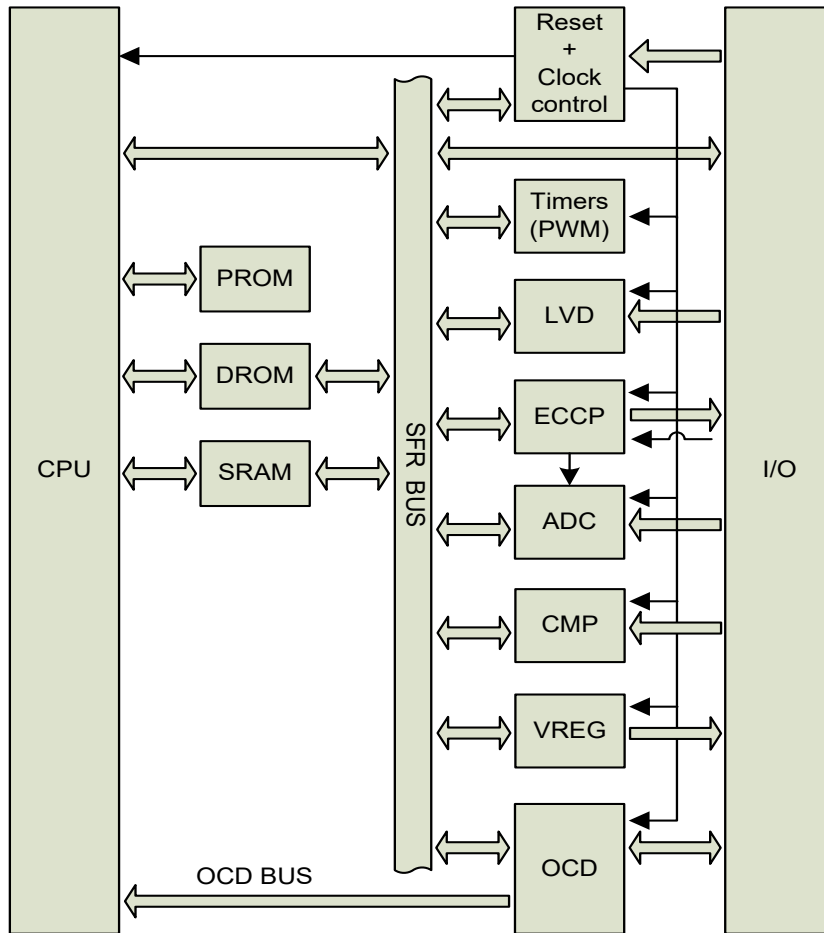


图 1-1 系统结构框图

标准缩写列表如下：

缩写	描述
CPU	Central Processing Unit
SFR	Special Function Registers
SRAM	Static Random Access Memory
DROM	Data EEPROM
PROM	Program EEPROM
Timers	WDT, Timer0, Timer1, Timer2, Timer3, Timer4, Timer5
PWM	Pulse Width Modulator
ECCP	Enhanced Capture Compare and PWM
ADC	Analog to Digital Converter
CMP	Comparator
VREG	Voltage Regulator
LVD	Low Voltage Detect
OCD	On Chip Debug
I/O	Input / Output

1.1 引脚图

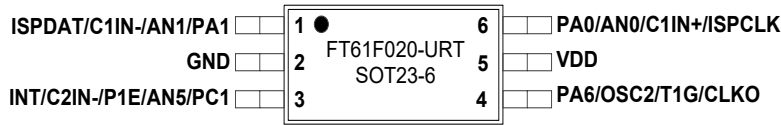


图 1-2 SOT23-6

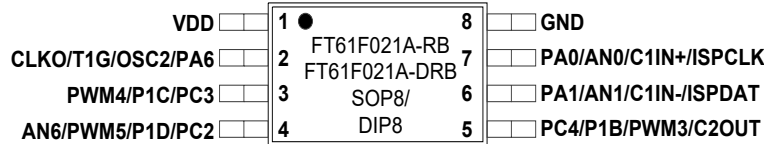


图 1-3 SOP8 / DIP8 (A)

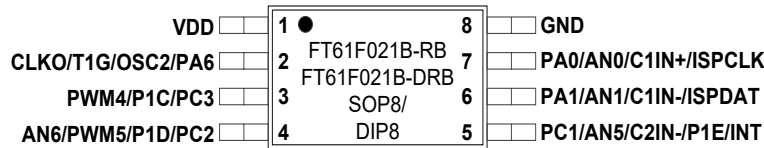


图 1-4 SOP8 / DIP8 (B)

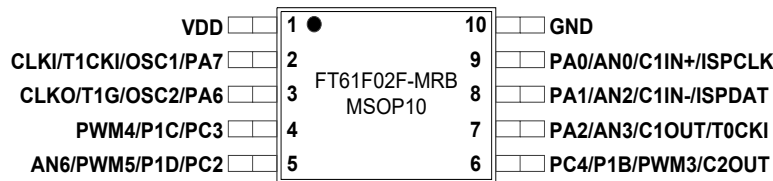


图 1-5 MSOP10 (A)



图 1-6 MSOP10 (B)

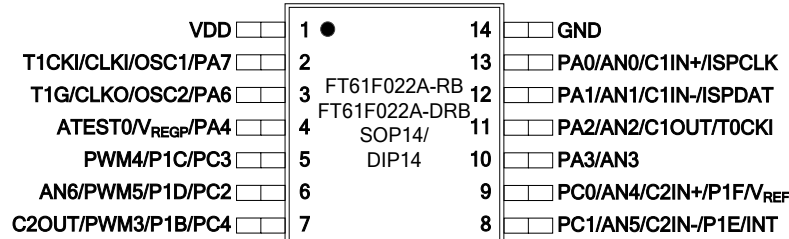


图 1-7 SOP14 / DIP14 (A)

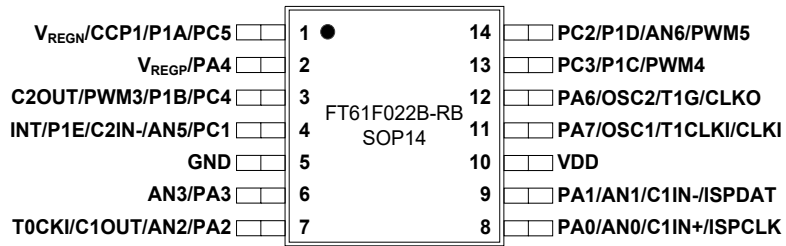


图 1-8 SOP14 (B)

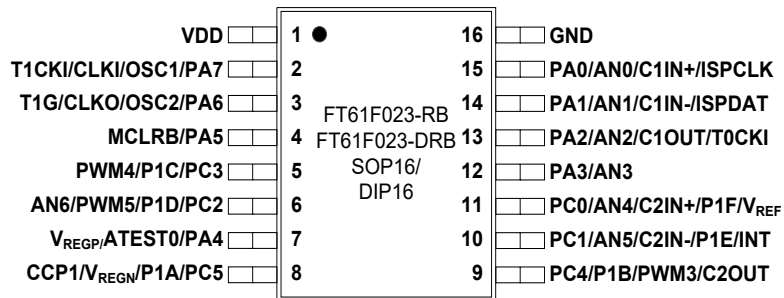


图 1-9 SOP16 / DIP16

1.2 引脚描述---按功能分类

功能	描述	引脚名	对应 GPIO	6 pins	8(A) pins	8(B) pins	10(A) pins	10(B) pins	14(A) pins	14(B) pins	16 pins
电源		VDD		5	1	1	1	1	1	10	1
		GND		2	8	8	10	10	14	5	16
GPIO	上拉/下拉, 数字输入, 数字输出	PC5								1	8
		PC4			5		6		7	3	9
		PC3			3	3	4	4	5	13	5
		PC2			4	4	5	5	6	14	6
		PC1		3		5			8	4	10
		PC0							9		11
		PA7					2	2	2	11	2
		PA6		4	2	2	3	3	3	12	3
		PA5									4
		PA4						6	4	2	7
		PA3							10	6	12
		PA2					7	7	11	7	13
		PA1		1	6	6	8	8	12	9	14
PA0		6	7	7	9	9	13	8	15		
时钟	输出	CLKO	PA6	4	2	2	3	3	3	12	3
	Timer0 时钟	T0CKI	PA2				7	7	11	7	13
	Timer1 时钟	T1CKI	PA7				2	2	2	11	2
	OSC +	OSC1	PA7				2	2	2	11	2
	OSC -	OSC2	PA6	4	2	2	3	3	3	12	3
Timer1 门控输入		T1G	PA6	4	2	2	3	3	3	12	3
ISP 调试	ISP-Data	ISPDAT	PA1	1	6	6	8	8	12	9	14
	ISP-CLK	ISPCLK	PA0	6	7	7	9	9	13	8	15
外部复位	上拉	/MCLR	PA5								4
PC1 边沿中断		INT	PC1	3		5			8	4	10
PORTA 端口变化中 断	输入	PA7					2	2	2	11	2
		PA6		4	2	2	3	3	3	12	3
		PA5									4
		PA4						6	4	2	7
		PA3							10	6	12
		PA2					7	7	11	7	13
		PA1		1	6	6	8	8	12	9	14
		PA0			7	7	9	9	13	8	15

功能	描述	引脚名	对应 GPIO	6 pins	8(A) pins	8(B) pins	10(A) pins	10(B) pins	14(A) pins	14(B) pins	16 pins	
稳压器	高压档输出	V _{REGP}	PA4					6	4	2	7	
	低压档输出	V _{REGN}	PC5							1	8	
ADC	输入	AN6	PC2		4	4	5	5	6	14	6	
		AN5	PC1	3		5			8	4	10	
		AN4	PC0						9		11	
		AN3	PA3						10	6	12	
		AN2	PA2				7	7	11	7	13	
		AN1	PA1	1	6	6	8	8	12	9	14	
	AN0	PA0	6	7	7	9	9	13	8	15		
	V _{REF+}	VREF	PC0						9		11	
比较器	输入	C1IN+	PA0	6	7	7	9	9	13	8	15	
		C1IN-	PA1	1	6	6	8	8	12	9	14	
		C2IN+	PC0						9		11	
		C2IN-	PC1	3		5			8	4	10	
	输出	C1OUT	PA2				7	7	11	7	13	
		C2OUT	PC4		5		6		7	3	9	
增强型 捕捉/比较 /PWM (ECCP)	捕捉 / 比较	CCP1	PC5							1	8	
	PWM	P1A	PC5								1	8
		P1B	PC4		5		6		7	3	9	
		P1C	PC3		3	3	4	4	5	13	5	
		P1D	PC2		4	4	5	5	6	14	6	
		P1E	PC1	3		5			8	4	10	
P1F	PC0						9		11			
PWM3		PWM3	PC4		5		6		7	3	9	
PWM4		PWM4	PC3		3	3	4	4	5	13	5	
PWM5		PWM5	PC2		4	4	5	5	6	14	6	

表 1-1 按功能分类的引脚描述

2. I/O 端口

根据不同的封装类型，FT61F02x 系列芯片最多有 14 个 I/O 引脚，共分为 2 组：PORTA (8)和 PORTC (6)。表 2-1 列出了所有 I/O 引脚的功能。

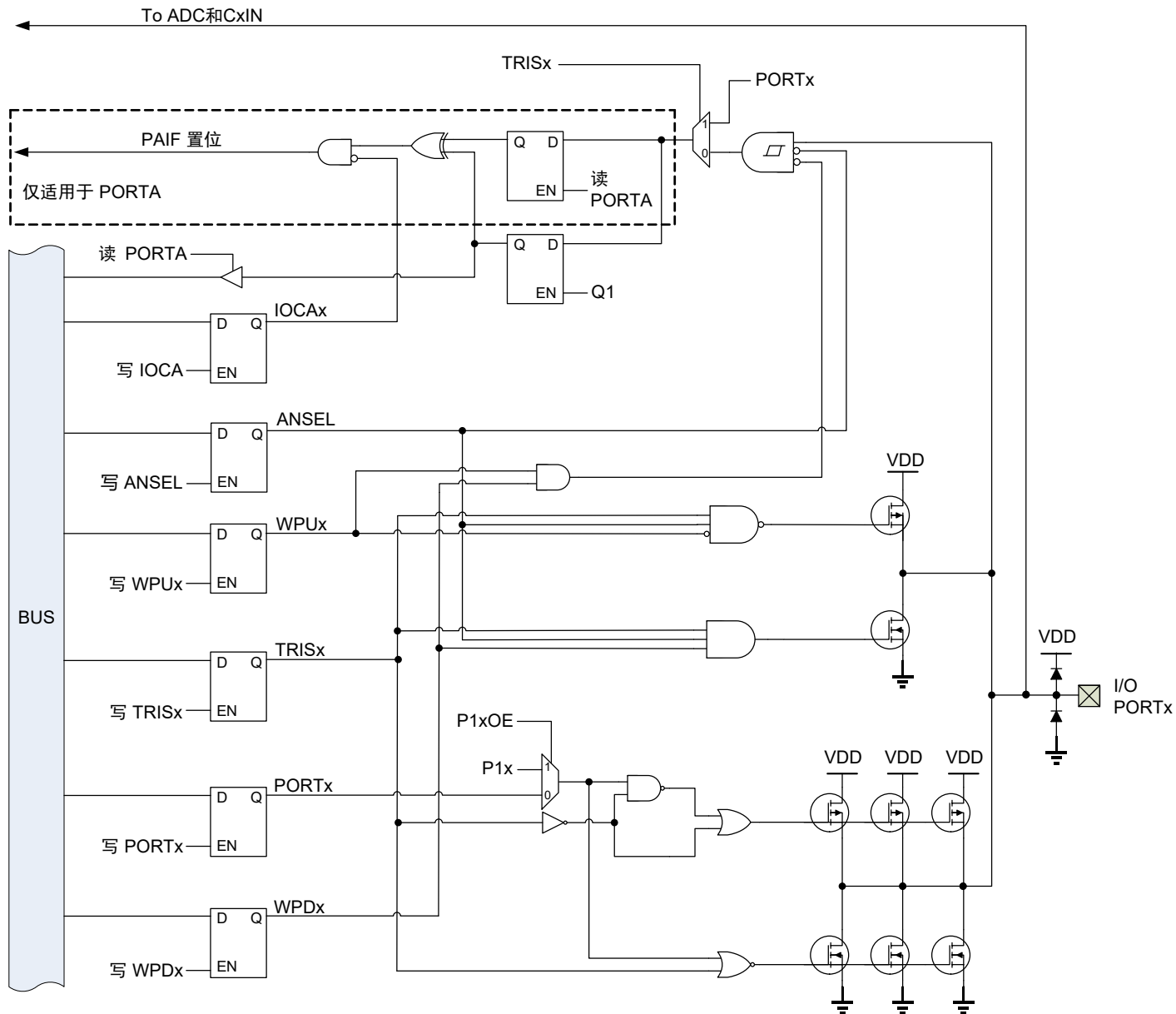


图 2-1 PORT 端口结构框图

I/O 引脚均具有以下功能 (表 2-3, 表 2-4):

- 数字输出
- 数字输入
- 弱上拉
- 弱下拉 (PA4、PC1、PC2、PC3)

此外，部分 I/O 还有以下特殊功能：

- a. 烧录调试引脚 (ISP-Data, ISP-CLK), 硬件内部连接, 不需要设置。
- b. 通过 IDE 界面选择, 且在芯片初始化配置时加载的功能 (表 2-2):
 - 外部时钟/晶振输入 (OSC1, OSC2)
 - 系统外部复位 (/MCLR)B
 - 内部时钟输出
- c. 通过指令对相应 I/O 引脚进行配置的其他功能, 可分为 3 类:
 - a. 数字输出
 - PWM3/4/5
 - 增强型 PWM
 - ECCP 比较输出
 - b. 数字输入
 - Timer0 时钟输入
 - Timer1 时钟输入
 - Timer1 门控输入
 - ECCP 捕捉输入
 - 外部边沿中断 (INT)
 - GPIO 端口变化中断
 - c. 模拟输入
 - LVD / BOR
 - ADC
 - V_{REF}
 - 比较器
 - d. 模拟输出
 - 稳压器 V_{REG} 输出

引脚名	ISP 调试	时钟	ADC	稳压器	比较器	中断	ECCP / PWM	数字 I/O 上拉/下拉	源电流 (mA)	灌电流 (mA)
PA0	CLK		AN0		C1IN+	√		√ / --	30	23
PA1	DATA		AN1		C1IN-	√		√ / --	30	23
PA2		T0CKI	AN2		C1OUT	√		√ / --	30	23
PA3			AN3			√		√ / --	30	23
PA4				V_{REGP}		√		√ / √	30	23
PA5						√ + /MCLR)B		√ / --	30	23
PA6		输出 /OSC-				√		√ / --	30	23
PA7		T1CKI /OSC+				√		√ / --	30	23
PC0			AN4		C2IN+		P1F	√ / --	30	23
PC1			AN5		C2IN-	INT	P1E	√ / √	30	23
PC2			AN6				PWM5 / P1D	√ / √	30	23
PC3							PWM4 / P1C	√ / √	30	23
PC4					C2OUT		PWM3 / P1B	√ / --	30	23
PC5				V_{REGN}			CCP1 / P1A	√ / --	30	23
注		T1G=PA6	V_{REF} =PC0						$V_{DD}=5, V_{DS}=0.5$	

表 2-1 I/O 端口功能

2.1 I/O 端口相关寄存器汇总

名称	功能	默认
RDCTRL	当 TRISx = 0 时, 读 PORTx 寄存器的返回值 <ul style="list-style-type: none"> 输入锁存器 输出锁存器 	输出锁存器
MCLRE	外部 I/O 复位	关闭
FOSC	<ul style="list-style-type: none"> LP: PA7 (+) 和 PA6 (-) 接外部低速晶振 XT: PA7 (+) 和 PA6 (-) 接外部高速晶振 EC: PA7 (+) 接外部时钟输入, PA6 为 I/O INTOSC: PA6 输出“指令时钟”, PA7 为 I/O INTOSCIO: PA7 和 PA6 为 I/O 	INTOSCIO

表 2-2 I/O 相关初始化配置寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
ANSEL	0x91	ANSEL [7:0]								1111 1111
TRISA	0x85	TRISA[7:0], PORTA 方向控制								1111 1111
TRISC	0x87	-	-	PORTC 方向控制						--11 1111
PORTA	0x05	PORTA 输出寄存器								xxxx xxxx
PORTC	0x07	-	-	PORTC 输出寄存器						--xx xxxx
WPUA	0x95	PORTA 弱上拉								1111 1111
WPUC	0x88	-	-	PORTC 弱上拉						--00 0000
WPD	0x89	-	-	-	WPDA4	WPDC1	WPDC2	WPDC3	-	---0 000-
IOCA	0x96	IOCA[7:0]: PORTA 端口变化中断设置								0000 0000
OPTION	0x81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111

表 2-3 I/O 相关用户寄存器的地址和复位值

名称	状态	寄存器	地址	复位值	
TRISA	PORTA	PORT 端口数字输出 (方向控制) 1 = 关闭 0 = 使能 (关闭上拉/下拉)	TRISA[7:0]	0x85	RW-1111 1111
TRISC	PORTC		TRISC[5:0]	0x87	RW-11 1111
ANSEL	1 = 关闭上拉/下拉, 及数字输入 (仅适用于 8 个 ADC 通道) 0 = (无动作)		ANSEL[7:0]	0x91	RW-1111 1111
/PAPU	1 = 关闭所有 PORTA 上拉功能 0 = 上拉由 WPUA 控制		OPTION[7]	0x81	RW-1
WPUA	PORTA	弱上拉 1 = 使能 (PORTA 默认值) 0 = 关闭 (PORTC 默认值)	WPUA[7:0]	0x95	RW-1111 1111
WPUC	PORTC		WPUC[5:0]	0x88	RW-00 0000
WPDA4	PORTA	弱下拉 1 = 使能 0 = 关闭	WPD[4]	0x89	RW-0
WPDC	PORTC		WPD[3:1]		RW-000
PORTA	PORTA	数据输出寄存器	PORTA[7:0]	0x05	RW-xxxx xxxx
PORTC	PORTC		PORTC[5:0]	0x07	RW-xx xxxx

表 2-4 I/O 相关用户寄存器

2.2 I/O 配置

每个 PORT 端口, 均需根据其相应功能配置以下 4 个模块(表 2-5):

- 弱上拉
- 弱下拉 (PA4、PC1、PC2、PC3)
- 数字输入
- 数字输出

功能	数字输入	上拉/下拉	数字输出	设置
ISP-DATA	On	Off	On	(硬件内置, 忽略指令)
ISP-CLK	On	Off	Off	(硬件内置, 忽略指令)
/MCLRB	On	上拉	Off	(初始化配置, 忽略指令)
时钟输出	(忽略)	Off	On	(初始化配置, 忽略指令)
OSC+ (EC)	On	(可选)	Off	(初始化配置, 忽略指令)
OSC+ / OSC- (LP, XT)	Off	Off	Off	(初始化配置, 忽略指令)
ADC	Off	Off	Off	TRISx = 1; ANSELx = 1
V _{REF}	Off	Off	Off	TRISx = 1; ANSELx = 1
比较器输入	Off	Off	Off	TRISx = 1; ANSELx = 1
比较器输出	On	Off	On	TRISx = 0
Timer0 时钟	On	(可选)	Off	TRISx = 1
Timer1 时钟	On	(可选)	Off	TRISx = 1
Timer1 门控	On	(可选)	Off	TRISx = 1
Timer3/4/5 时钟	On	(可选)	Off	TRISx = 1
端口变化中断	On	(可选)	Off	TRISx = 1
PC1-INT	On	(可选)	Off	TRISx = 1
数字输入	On	(可选)	Off	TRISx = 1
PWM	On	Off	On	TRISx = 0
ECCP 捕捉	On	(可选)	Off	TRISx = 1
ECCP 比较/PWM 输出	On	Off	On	TRISx = 0
稳压器	(忽略)	Off	Off	VREG_OE = 1
数字输出	On	Off	On	TRISx = 0

表 2-5 I/O 配置标志和用户寄存器

注:

1. TRISx = 0: “数字输出”使能, “上拉/下拉”自动关闭 (忽略 WPD, WPUx), TRIS 位的优先级高于 ANSELx。
2. TRISx = 1: “数字输出”关闭。
3. ANSELx = 1: “上拉”、“电平变化中断”、“数字输入”自动关闭 (忽略 WPD, WPUx)。
4. 可关闭“数字输入”的唯一指令为“ANSELx = 1”。
5. “/PAPU = 1”关闭所有 PAx 端口的“弱上拉”功能。PCx 没有此类控制位。
6. /MCLR 使能: PA5 的弱上拉功能自动使能 (忽略 WPUA[5]); 读 PORTA[5] 的值为“0”。
7. 对 PORTx 数据输出寄存器进行写操作, I/O 端口将输出相应的逻辑电平。每组多达 8 个 I/O 的数据寄存器共用相同的地址, 写操作实际执行‘读-修改-写’的过程, 即先读取该组 PORTx 端口锁存器值 (输出或输入), 然后修改, 再写回 PORTx 数据寄存器。
8. 数字输出和数字输入功能可以共存, 有些应用需要同时使能数字输出和数字输入。
9. 当 TRISx = 0 时, 通过 IDE 界面可选择读取 PORTx 输出或输入锁存器的值。
10. 完全复位或系统复位时, PORTx 寄存器不会复位, 但 TRISx 将被重置为“1”, 从而关闭输出。
11. 当 IO 同时打开弱上拉和弱下拉时, 弱下拉将被禁止, 弱上拉起作用。

PC1-INT 和 PORTA 端口变化中断的设置, 请参阅 [章节 9](#) “中断”。

3. 上电复位 (POR)

上电过程，即 V_{DD} 从低于 Power-On-Reset 电压(V_{POR})上升至高于 V_{POR} 的过程。当 CPU 重新上电时， V_{DD} 可能没有完全掉电至 0V。

1. 当 V_{DD} 低于 V_{POR} 时，CPU 处于完全复位状态。
 - a. 所有校准配置寄存器不复位。除 TMR0、PORTx、Z、HC、C、FSR、INDF、ADRESL、ADRESH、TMRxL、TMRxH、CCPR1L、CCPR1H 和 SRAM 以外 (参阅 [章节 17](#) “特殊功能寄存器”) 的其他特殊功能寄存器 (Special Function Registers, SFR) 均处于复位状态。而不复位的寄存器如 SRAM, 将保持其数据直至 V_{DD} 降到 0.6V(典型值), 当 V_{DD} 低于 0.6V 时, 其值为不确定值。
 - b. 程序计数器 PC = 0x00, 指令寄存器 = “NOP”, 堆栈指针 = “TOS” (栈顶)。
2. 当 V_{DD} 上升至 V_{POR} 以上时，芯片开始初始化配置(BOOT)过程。
3. 初始化配置完成后，指令将从 PC = 0x00 地址开始执行。

常温(25°C)下， V_{POR} 的典型值~1.6V，低温(-40°C)上升至~1.9V。当 $V_{DD} \geq V_{POR}$ 时，CPU 即可在较低的速度 8 MHz / 2T 下正常工作，因此 V_{DD} 的工作范围随温度变化而自动调整。此特性对于电池供电系统来说很重要，在典型的电池工作环境中，当电池电压低至 1.5V 时，CPU 仍可工作，从而提高电池使用寿命。

注：

1. V_{POR} 不可配置。
2. POR 的硬件电路默认为开启状态，当 V_{DD} 电压低于 V_{POR} 时即执行芯片电源复位，而不是仅在上电时执行。

3.1 初始化配置时序

名称	功能	默认
PWRTEB	上电延时定时器，初始化配置完成后额外延时 ~64ms	关闭
CSUMENB	程序空间校验和的验证功能	关闭

表 3-1 初始化配置

以上 2 种初始化配置，均由 IDE 界面设置，不能通过指令修改。初始化配置过程：

1. CPU 空闲等待~4ms；
2. 从非易失性存储器中加载初始化配置寄存器值，该过程~24us。这些寄存器值由 IDE 预先设置，不受指令影响；
3. 如果使能上电延时定时器(Power-On-Timer, PWRT)，CPU 将额外空闲等待~64ms；
4. 如果使能校验和(Checksum, CSUM)，该功能将对整个程序空间进行累加并校验。
 - a. 如果校验失败，CPU 将从空闲等待~4ms 开始重新启动初始化配置过程；
 - b. 如果校验成功，且没有其他复位条件限制，则 CPU 开始执行指令；

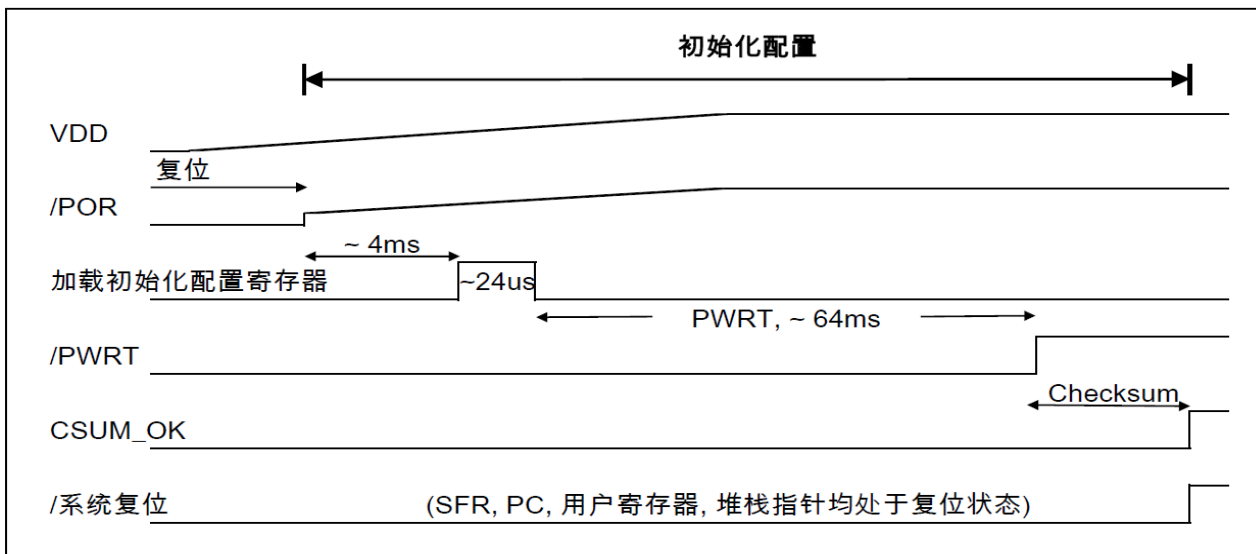


图 3-1 上电时序 (PWRT 和 Checksum 使能)

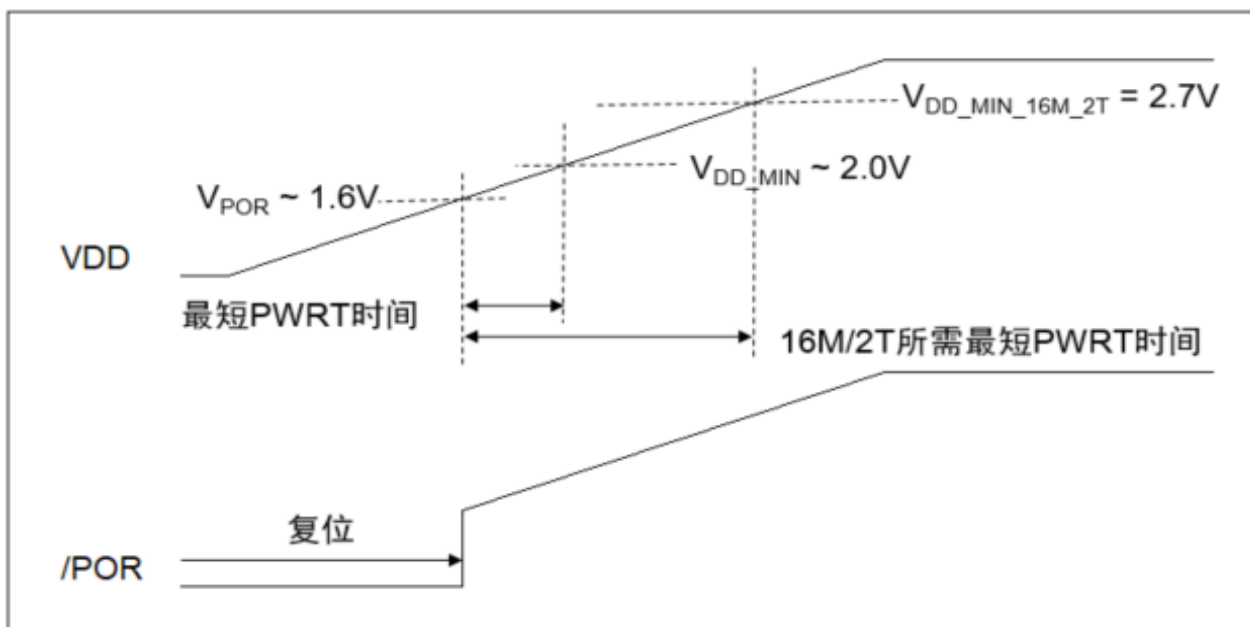


图 3-2 上电过程所需最小 PWRT 时间

如果 CPU 需要在 16MHz / 2T 的速度下运行，那么在初始化配置(BOOT)结束时 V_{DD} 必须高于 2.5V。通过使能 PWRT，可使初始化配置时间从 $\sim 4\text{ms}$ 增加至 $\sim 68\text{ms}$ ，从而提高电源系统的稳定时间。

当以 16MHz / 2T 的速度运行时，应使能 LVR 且设置 $V_{BOR} \geq 2.5\text{V}$ 。另外，可通过指令控制 LVR 使能的频率以不时地监测 V_{DD} ，而无需一直使能(参阅“LVREN”，“SLVREN”)以降低功耗。

注:

1. V_{DD} 上电过程不可以太慢，另外不建议 V_{DD} 的电容 $C_{VDD} \geq 22 \mu\text{F}$ ；
2. V_{DD} 电容值以 1 到 $10\mu\text{F}$ 为佳。出于 EFT 性能考虑， $C_{VDD} < 1\mu\text{F}$ 可能太小；
3. 如果可以接受启动延时，那么建议使能 PWRT 和 CSUM 以提高 CPU 的稳定性；

4. 系统复位

与 POR 不同，系统复位(system reset)并不会完全复位。系统复位时，CPU 是否启动初始化配置过程则取决于复位触发类型及设置。若启动初始化配置则空闲等待~4ms，然后重新加载初始化配置寄存器值，如果使能 PWRT 将额外延时~64ms，随后系统正常启动。在系统复位中：

- 除初始化配置寄存器外，POR 过程中被重置的寄存器在系统复位时也会被同样重置；
- 程序计数器 PC = 0x00, 指令寄存器 = “NOP”, 堆栈指针 = “TOS” (栈顶)；

除仿真调试的 OCD(On-Chip Debugger) 模块外，可触发系统复位的 4 种事件如下：

1. 欠压复位 (LVR / BOR) – 总会启动初始化配置；
2. 非法指令复位；
3. 看门狗定时器 (WDT) – 如果 CPU 处于非 SLEEP 状态则启动初始化配置；
4. 外部 I/O 复位 (/MCLRB)；

注： 如果可以接受更长的系统重启时间，则建议使能初始化配置过程(BOOT)以提高系统的稳定性。

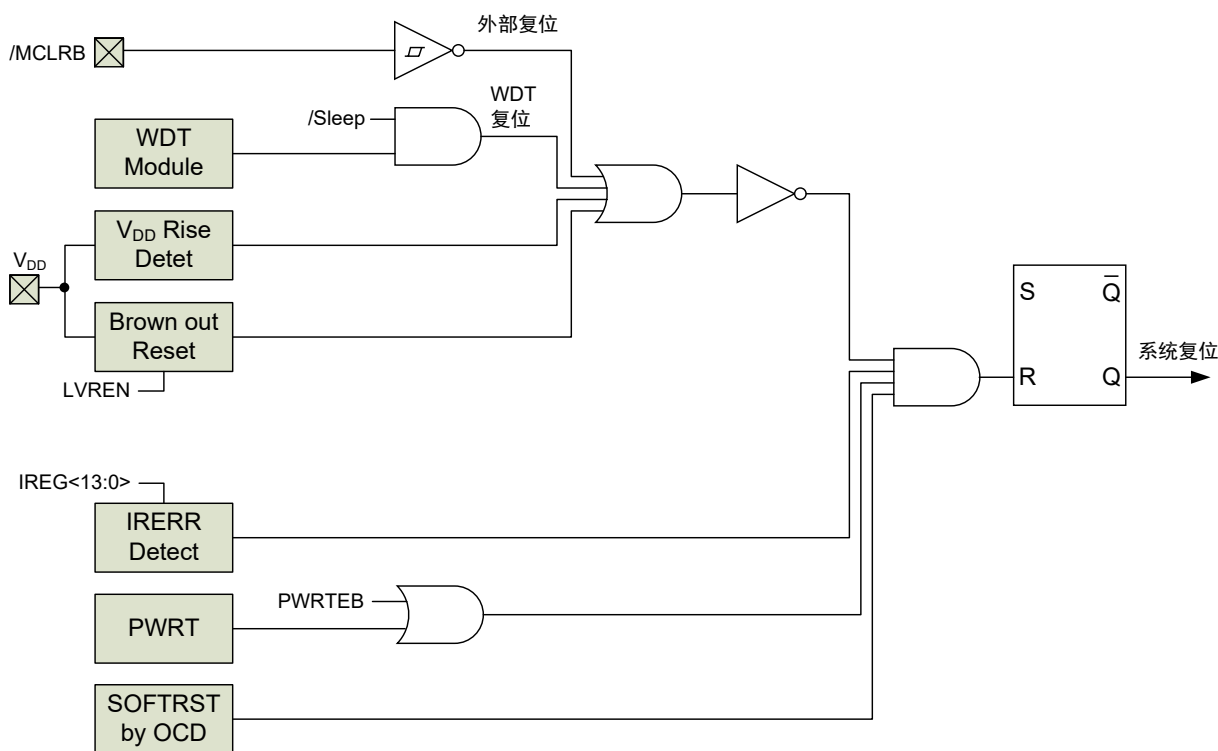


图 4-1 复位电路结构框图

4.1 系统复位相关寄存器汇总

系统复位的大多数设置均由 IDE 界面配置，而不能通过指令修改。

名称	功能	默认
LVRS	7 档 V_{BOR} 电压(V): 2.0 / 2.2 / 2.5 / 2.8 / 3.1 / 3.6 / 4.1	2.0
LVREN	LVR <ul style="list-style-type: none"> 使能 关闭 非 SLEEP 模式下使能 通过指令控制 (SLVREN) 	关闭
WDTE	WDT <ul style="list-style-type: none"> 使能 (指令不能禁止) 由指令控制 (SWDTEN) 	SWDTEN 控制
MCLRE	外部 I/O 复位	关闭

表 4-1 复位相关初始化配置寄存器

4.2 欠压复位 (Brown-Out Reset, LVR / BOR)

当 V_{DD} 值降低并低于预设的欠压值 (V_{BOR}) 超过 T_{BOR} 时间时，就会出现欠压状态。 T_{BOR} 大概为 3 到 4 个 LIRC 时钟周期 (~94 – 125 μ s, 如果未预先启动, LIRC 将自动开启)。当 $V_{DD} \leq V_{BOR}$ 时, CPU 保持系统复位状态, 直至 $V_{DD} > V_{BOR}$ 时 CPU 开始初始化配置过程(BOOT)。

V_{POR} 值不能配置, 而 V_{BOR} 值可以设置为 2.0、2.2、2.5、2.8、3.1、3.6、4.1V (参阅“LVRS”, 表 4-1)。

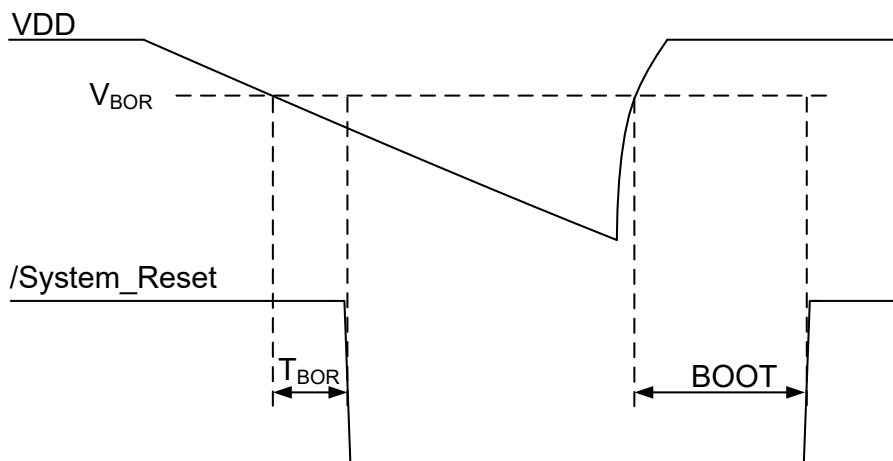


图 4-2 LVR 初始化配置时序图

LVR 可配置成 4 种不同功能(参阅“LVREN”, 表 4-1)。

1. LVR 使能;

2. LVR 关闭;
3. 非 SLEEP 模式下 LVR 使能;
4. 由指令控制使能或关闭 LVR (SLVREN, 表 4-2).

注: SLEEP 模式下, 可通过指令关闭 LVR 以降低功耗。但如果系统 V_{DD} 不稳定, CPU 应定时唤醒并使能 LVR 来监测 V_{DD} 。

名称	状态	寄存器	地址	复位值
SLVREN	仅适用于 LVREN 配置成由指令 SLVREN 控制 LVR 1 = 使能 LVR 0 = 关闭 LVR	MSCKCON[4]	0x1B	RW-0

表 4-2 LVR 用户寄存器

注: 其它任何复位都可将此位清 0, 除了 BOR 复位

4.3 非法指令复位 (Illegal Instruction Reset)

CPU 获取指令错误的原因有很多, 最常见的为干扰和 V_{DD} 不稳定。出现非法指令时将产生系统复位。虽然没有专用的复位指令, 但任何蓄意的非法指令都等同于复位指令。

4.4 看门狗定时器 (Watch Dog Timer, WDT) 复位

SLEEP 模式下, WDT 溢出将导致唤醒。

正常模式 (非 SLEEP 模式) 下, WDT 溢出将触发系统复位, 随后启动初始化配置。WDT 复位可用于复位挂起的 CPU。应在程序中不时地清除 WDT 以避免错误复位。

关于 WDT 的操作和设置等细节, 请参阅 章节 7.1 看门狗定时器 (Watch Dog Timer, WDT)。

4.5 外部 I/O 系统复位 /MCLR B

如果已相应设置初始化配置寄存器, 那么可通过在 /MCLR B (PA5) 脚上施加低电压来使 CPU 复位。WDT 复位不会拉低 /MCLR B 管脚。/MCLR B 脚通常经过一个电阻弱上拉到 V_{DD} , 而不是直接连到 V_{DD} , 如 图 4-3 所示, 建议采用外部 RC 电路以提供故障滤波和过流保护。

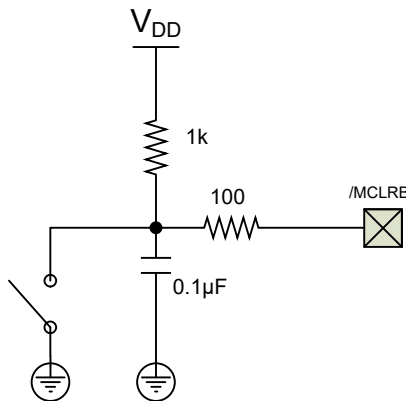


图 4-3 /MCLR B 复位电路

4.6 检测上次复位类型

通过 4 个状态标志位 /POR、/BOR、Time Out (/TF)、Power Down (/PF) 的不同组合可以追溯上一次系统复位的类型，但“正常模式下的/MCLR 系统复位”和“非法指令复位”除外。这些状态标志位均需由指令置 1。复位后，相应的标志位将被锁定为“0”。

复位源	/POR	/BOR	/TF	/PF
	PCON[1]	PCON[0]	STATUS[4]	STATUS[3]
	0x8E		0x03, 0x83, 0x103	
POR	0	(未知)	1	1
LVR	-	0	1	1
正常模式下(非 SLEEP) WDT 溢出(复位)	-	-	0	-
SLEEP 模式下 WDT 溢出(唤醒)	-	-	0	0
SLEEP 模式下/MCLR 复位	-	-	1	0
正常模式下(非 SLEEP) /MCLR 复位	-	-	-	-
非法指令复位	-	-	-	-
片上调试 (OCD)	-	-	-	-

表 4-3 复位相关状态标志位 (“-“ 无变化)

5. 低电压检测 (LVD)

LVD 的工作原理与 LVR 类似，但以下几点除外：

- 所有控制位和参数选择位均由用户指令设置，而不是初始化配置时；
- LVD 事件将置位 LVDW 而不是/BOR；
- LVD 输入为 V_{DD} ，与 6 档 LVDL 电压值($V_{LVD-REF}$) 之一进行比较；
- 消抖时间 (T_{LVD})大概为 3 到 4 个 LIRC 时钟周期 (~94 - 125 μ s，如果未预先启动，LIRC 将自动开启)；

5.1 LVD 相关寄存器汇总

名称	状态		寄存器	地址	复位值
LV DEN	<u>LVD</u>	1 = 使能 0 = 关闭	PCON[3]	0x8E	RW-0
LV DL	<u>$V_{LVD-REF}$</u>	000 = 保留 001 = 保留 010 = 2.0 011 = 2.4 100 = 2.8 101 = 3.0 110 = 3.6 111 = 4.0	PCON[6:4]		RW-000
LV DW	<u>LVD 触发?</u>	1 = Yes (不锁存) 0 = No	PCON[2]		RO-x

表 5-1 LVD 用户设置和标志寄存器

6. 振荡器和系统时钟

系统时钟(SysClk) 可通过指令选择为内部高速振荡器 HIRC, 内部低速振荡器 LIRC, 或外部振荡器 (EC, LP, XT, 参阅“SCS”, 表 6-2)。如果选择外部振荡器, 那么由初始化配置寄存器“FOSC”(表 6-1) 选定 3 种外部振荡器之一。系统时钟还可通过指令进一步选择为内部振荡器的分频 (参阅 IRCF, 表 6-2)。系统时钟用于产生指令时钟(Instruction Clock):

$$\text{指令时钟} = \text{SysClk} / N; N = 2 \text{ for } 2T, 4 \text{ for } 4T.$$

外部时钟输入和内部指令时钟输出引脚由初始化配置寄存器设置 (参阅 FOSC)。

Timers 和 ADC 模块有独立的振荡器, 因此可有多个振荡器同时运行。

当 Timers 使能时, 其选用的振荡器将自动开启, 且在 Timers 运行期间一直保持有效。当相应的振荡器在 SLEEP 模式下保持运行时, ADC, Timers 和 PWM 功能同样可在 SLEEP 时工作。

SLEEP 模式下指令停止运行, 而指令时钟也将停止, 因此选择指令时钟作为时钟源的外设模块也将在 SLEEP 模式下停止工作。

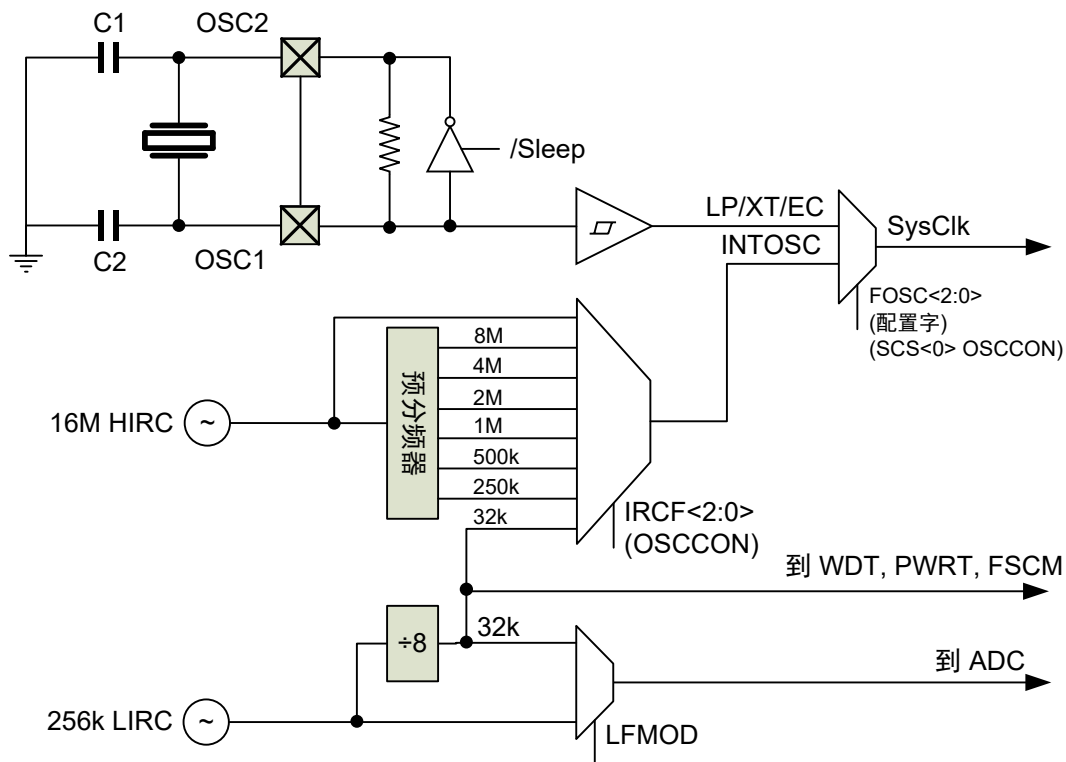


图 6-1 系统时钟 SysClk 的时钟源框图

6.1 振荡器模块相关寄存器汇总

名称	功能	默认
FOSC	<ul style="list-style-type: none"> LP: PA7 (+) 和 PA6 (-) 接外部低速晶振 XT: PA7 (+) 和 PA6 (-) 接外部高速晶振 EC: PA7 (+) 接外部时钟输入, PA6 为 I/O INTOSC: PA6 输出“指令时钟”, PA7 为 I/O INTOSCIO: PA7 和 PA6 为 I/O 	INTOSCIO
IESO	<u>XT / LP 双速时钟启动</u> <ul style="list-style-type: none"> 使能 关闭 	使能
FCMEN	<u>故障保护时钟监控器</u> <ul style="list-style-type: none"> 使能 关闭 	使能
TSEL	<u>指令时钟与系统时钟的对应关系 (2T or 4T)</u> <ul style="list-style-type: none"> 2 (指令时钟 = SysClk/2) 4 (指令时钟 = SysClk/4) 	2

表 6-1 FOSC 和双速启动初始化配置寄存器

SysClk 系统时钟源		配置				
		SCS	IRCF	LFMOD	OST	
		OSCCON[0]	OSCCON[6:4]	OSCCON[7]	(固定值)	
		0x8F				
		RW-0	RW-101	RW-0		
外部	EC	0	-	-	-	
	XT	0	-	-	1,024	
	LP	0	-	-	32,768	
内部	HIRC	16 MHz	1	111	-	-
		8 MHz	1	110	-	-
		4 MHz	1	101	-	-
		2 MHz	1	100	-	-
		1 MHz	1	011	-	-
		500 kHz	1	010	-	-
	250 kHz	1	001	-	-	
	LIRC	256 kHz ¹	1	000	1	-
		32 kHz ²	1	000	0	-

表 6-2 SysClk 系统时钟源设置相关用户寄存器

¹ 256 kHz LIRC 只供 ADC (参阅 ADCS 和 LFMOD, 表 12-2) 使用。

² 系统时钟源 (IRCF=000)、PWRT、FSCM 和 WDT (WCKSRC=00) 统一使用 LIRC 的 8 分频, 即 32 kHz, 而不管 LFMOD 为何值。

名称	状态	寄存器	地址	复位值
OSTS	<u>振荡器启动超时状态位(锁存)</u> 1 = 运行在外部振荡器下(启动成功) 0 = 运行在内部振荡器下	OSCCON[3]	0x8F	RO-x
HTS	<u>HIRC ready (锁存)</u> 1 = Yes 0 = No	OSCCON[2]		RO-0
LTS	<u>LIRC ready (锁存)</u> 1 = Yes 0 = No	OSCCON[1]		RO-0
CKMAVG	<u>LIRC 和 HIRC 交叉校准时 4 次平均测量模式</u> 1 = 使能 0 = 关闭	MSCKCON[2]	0x1B	RW-0
CKCNTI	<u>启动 LIRC 和 HIRC 的交叉校准功能</u> 1 = 启动 0 = 完成(自动清零)	MSCKCON [1]		RW-0
SOSCPR	<u>校准 LIRC 周期所需的 HIRC 周期数</u>	SOSCPR[11:0]	0x1D[3:0] 0x1C	RW-FFF

表 6-3 振荡器控制/状态位

名称	状态	寄存器	地址	复位值
GIE	全局中断 1 = 使能 (PEIE, CKMEAIE, OSFIE 适用) 0 = <u>全局关闭</u> (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断 1 = 使能 (CKMEAIE, OSFIE 适用) 0 = <u>关闭</u> (无唤醒)	INTCON[6]		RW-0
CKMEAIE	LIRC 和 HIRC 交叉校准完成中断 1 = 使能 0 = <u>关闭</u> (无唤醒)	PIE1[6]	0x8C	RW-0
OSFIE	外部振荡器故障中断 1 = 使能 0 = <u>关闭</u> (无唤醒)	PIE1[2]		RW-0
CKMEAIF	LIRC 和 HIRC 交叉校准完成标志位 1 = Yes (锁存) 0 = <u>No</u>	PIR1[6]	0x0C	RW-0
OSFIF	外部振荡器故障标志位 1 = Yes (锁存) 0 = <u>No</u>	PIR1[2]		RW-0

表 6-4 振荡器中断使能/状态位

6.2 内部时钟模式 (HIRC 和 LIRC)

内部高频时钟 (Internal high frequency clock, HIRC) 出厂时已校准至 16 MHz @ 2.5V/25°C。芯片之间的频率变化典型值 < ±2.0% @2.5 – 5.5V/25°C，温度变化典型值为 ±4.0% @ -40 – +85°C/2.5V。

HIRC 精度在晶圆测试时已进行校准。封装过程可能会导致 HIRC 频率漂移。烧录器软件可选择对 HIRC 进行重新校准。

内部低频时钟 (Internal low frequency clock, LIRC) 出厂时未经校准，工作频率为 32 kHz。芯片之间的频率变化典型值 < ±10.5% @2.5 – 5.5V/25°C，温度变化典型值 < ±2.0% @ -40 – +85°C/2.5V。

LIRC 和 HIRC 可相互交叉校准 – 在一个 LIRC 周期内，使用 Timer2 来测量指令时钟数(SysClk 选择 16MHz HIRC)，此为内置硬件功能。由于 LIRC 温度系数较低，因此当温度不稳定时，可通过用 LIRC 来校准 HIRC 的功能，以达到相同的±2%的温度系数。

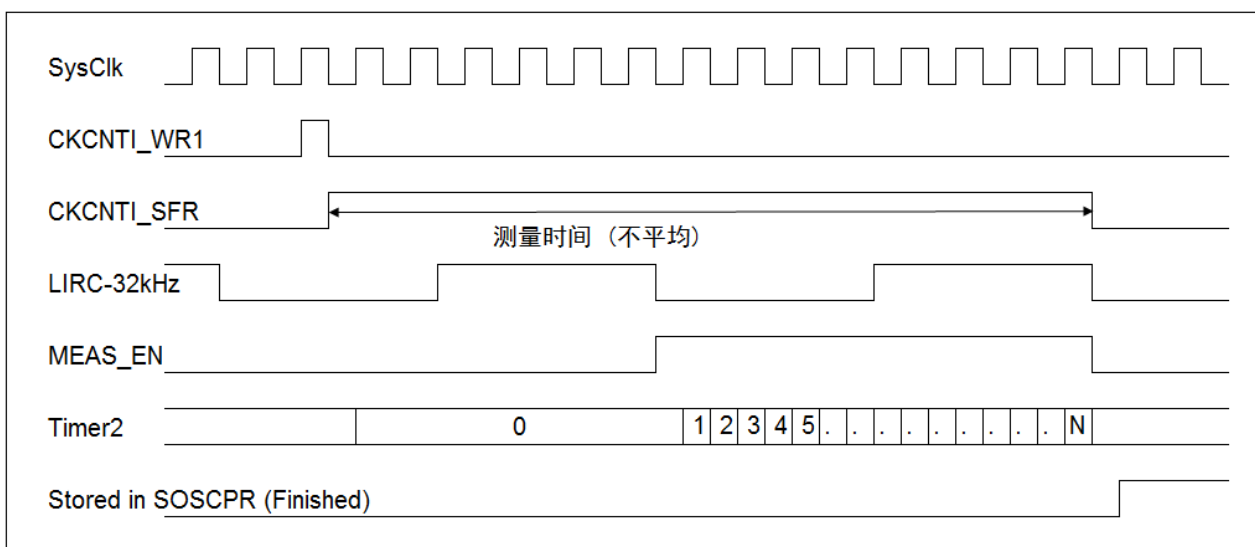


图 6-2 单次测量时序图

LIRC 和 HIRC 交叉校准步骤：

1. 设置 IRCF = 111, SCS = 1 ; SysClk 选择 16MHz HIRC (其他频率设置的精准度会降低)
2. 设置 CKMAVG = 1 ; 4 次测量平均，选择 0 表示不做平均
3. 设置 TMR2ON = 1 ; 使能 Timer2
4. 设置 CKCNTI = 1 ; 开始校准，默认 Timer2 预分频比 = 1, 后分频比 = 1, T2CKSRC = SysClk for 2T; SysClk/2 for 4T
5. 校准完成时，CKCNTI 自动清零(“CKCNTI = 0”), CKMEAIF 自动置位(“CKMEAIF = 1”)。
6. 测量值存储在 SOSCPR 寄存器中。
7. LIRC 为 32kHz，如果 CPU 运行在 16MHz / 2T 下，则理想的匹配值为 500。

注：

- LIRC 和 HIRC 交叉校准时，不要对 SOSCPRH/L 寄存器进行写操作；
- LIRC 和 HIRC 交叉校准时，Timer2 不能被其他外设使用；
- LIRC 和 HIRC 交叉校准功能与 IDE 的单步调试模式不兼容；

6.3 外部时钟模式 (EC / LP / XT)

6.3.1 EC 模式

外部数字信号作为时钟源连接到 OSC1 脚(OSC2 用作 I/O)。当 SysClk 选择 EC 模式时, 当 POR 复位或从睡眠中唤醒时, EC 模式不需要设置或转换时间延迟。

6.3.2 LP 和 XT 模式

LP 或 XT 模式下, 石英晶体谐振器或陶瓷谐振器作为时钟源连接到 OSC1 和 OSC2 脚。

LP 振荡器模式是 3 种模式 (EC, LP, XT) 中增益设定和电流消耗最低的。该模式仅用于驱动 32.768 kHz 音叉式晶振(钟表晶振)。

XT 振荡器模式选择内部反相放大器的最高增益设定。

如果时钟源选择 XT 或 LP 模式, 当初始化配置结束或从睡眠中唤醒时, CPU 在振荡器起振定时器(OST)计数期间将暂停执行程序, 这有利于 XT 或 LP 时钟的稳定。对于 XT 和 LP 模式, OST 分别计数 1,024 和 32,768 个 OSC1 (晶体输入+ve 端)。对于 32.768 kHz 音叉式晶振, OST 计时至少需要 1 秒。

注:

- WDT 将保持清零状态直至 OST 完成计数;
- OST 计数期间, 不要对 WDTCN 或 OPTION 寄存器进行写操作, 否则将产生不可预期的行为;

双速时钟启动 (参阅“IESO”, [表 6-1](#)) 允许 CPU 在 OST 计数期间选择内部振荡器 INTOSC 模式作为 SysClk 进而执行指令。在需要频繁进出睡眠模式的情况下, 双速时钟启动功能可使芯片在唤醒后立即执行指令, 从而除去外部振荡器所需的起振时间, 以降低整机功耗。即 CPU 从睡眠中唤醒, 将 INTOSC 作为 SysClk 执行几条指令后, 再返回睡眠状态, 而无需等待外部振荡器的稳定。

注: EC 模式下双速启动功能关闭, 因其振荡器不需要稳定时间。

双速启动时序:

1. 初始化配置结束或从睡眠中唤醒;
2. 选择 INTOSC 作为 SysClk 执行指令直至 OST 超时;
3. SysClk 从 INTOSC 的下降沿一直保持为低, 直至新时钟的下降沿到来 (LP 或 XT 模式);
4. SysClk 切换到外部时钟源;

振荡器起振超时状态位(OSTS)用于提示 SysClk 运行在外部时钟源下或内部时钟源下。当开启双速时钟启动功能时, 通过 OSTS 可间接查询 LP 或 XT 模式下的振荡器起振定时器(OST)是否已经超时。

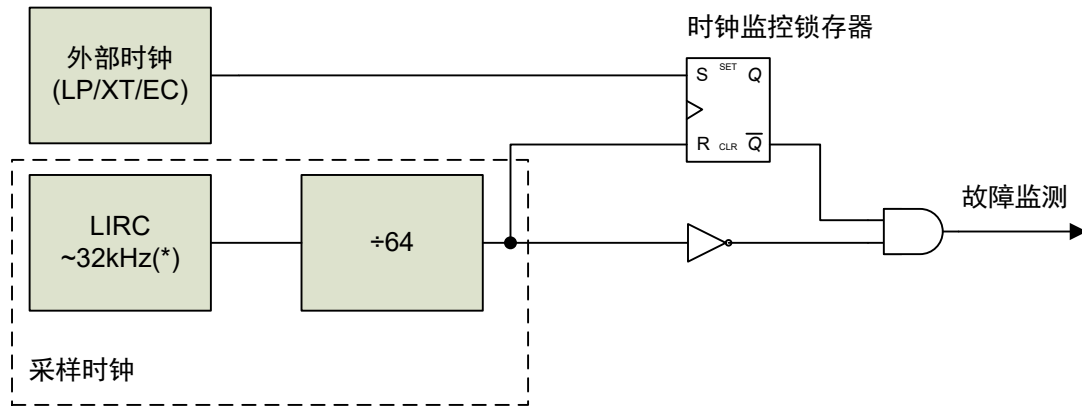
执行 SLEEP 指令将中止 OST 计时, 而 OSTS 将保持为“0”。

故障保护时钟监控器 (Fail-Safe Clock Monitor, FSCM, 由“FCMEN”使能, 参阅 [表 6-1](#)) 可使芯片在外部振荡器出现故障时仍能继续工作。在振荡器起振定时器(OST)超时后, FSCM 随时检测振荡器故障。FSCM 适用于所有外部振荡器模式(EC, LP 和 XT)。当选择外部振荡器时, 建议使能 FSCM 功能。

如果外部振荡器的振荡频率在~1 kHz 及以下时，则判定其出现故障。由 LIRC 除以 64 产生采样时钟，故障监控器内部有一个锁存器，外部时钟在其每个下降沿将锁存器置 1，采样时钟在其每个上升沿将锁存器清 0。当采样时钟的整个半周期结束而主时钟依然未进入低电平时，即检测到故障。

当外部时钟出现故障时，FSCM 自动将 SysClk 切换到内部时钟源并置位 OSFIF。如果 OSFIE 使能，OSFIF 置 1 将产生中断。芯片固件随后应采取措施来减轻可能由故障时钟所导致的问题。SysClk 将继续运行在内部时钟源下，直到芯片固件成功重启外部振荡器。

由“IRCF”决定“FSCM”所用的内部时钟源，这使得内部振荡器在外部时钟发生故障前就得以配置。



注：LFMOD不影响采样时钟。

图 6-3 FSCM 结构框图

复位、执行 SLEEP 指令或翻转 SCS 位后，故障保护条件将被清除。当 SCS 位被修改后，OST 将重新启动计时。OST 运行期间，CPU 选择 INTOSC 模式作为 SysClk 继续执行指令。OST 超时后，故障保护条件被清除，芯片将切换回外部时钟源进行操作。必须先清除故障保护条件，才能清零 OSFIF 标志位。

注：任何可能由双速时钟启动或故障保护时钟监控器所产生的时钟自动切换，都不会更新 SCS 位。程序应监控 OSTS 位以确定当前的 SysClk 系统时钟源。

6.4 HIRC, LIRC 和 EC 时钟的内部切换

图 6-4 为时钟内部切换时序图。如果 HIRC 或 LIRC 在切换前已经关闭(为了省电)，则将会有额外的振荡器设置延迟时间，可通过 HTS 和 LTS 标志位查询相应振荡器的状态。

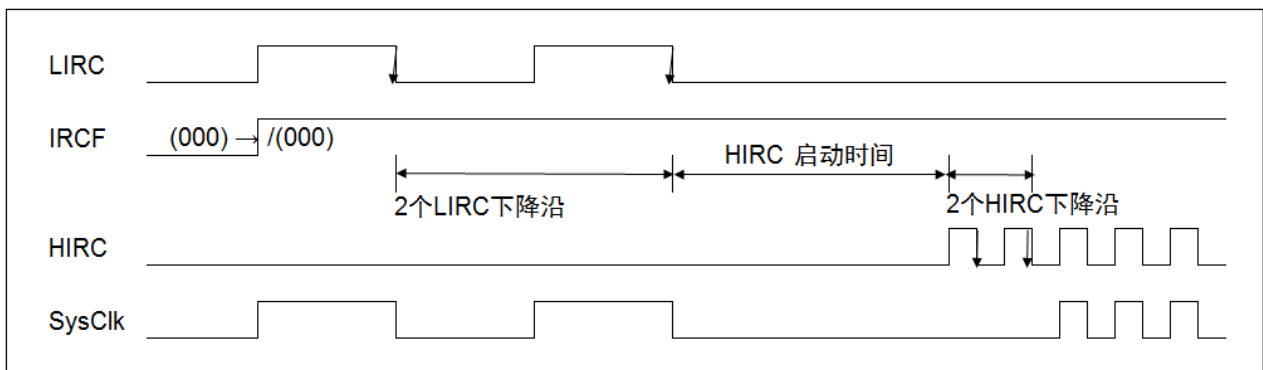


图 6-4 由 LIRC 切换到 HIRC 时序图 (同样的原则也适用于 EC, LIRC, HIRC 之间的切换)

7. 定时器 (TIMERS) 和 PWMx

共有 7 个定时器，包括看门狗定时器(WDT)在内。

	WDT	Timer0	Timer1	Timer2	Timer3/4/5
预分频器 (位)	–	8 (与 WDT 共用)	3 (1x, 2x, 4x, 8x)	4 (1x, 4x, 16x)	7 (1x, 2x, 4x, 8x, 16x, 32x, 64x, 128x)
计数器 (位)	16	8	16	8	12
后分频器 (位)	7 (与 Timer0 共用)	–	–	4 (1 – 16x)	–
时钟源	<ul style="list-style-type: none"> LIRC 	<ul style="list-style-type: none"> 指令时钟 PA2/T0CKI (转变沿计数器) 	<ul style="list-style-type: none"> 指令时钟 LP PA7/T1CKI (上升沿计数器) 	<ul style="list-style-type: none"> 2x 指令时钟 2x HIRC 	<ul style="list-style-type: none"> HIRC 2x 指令时钟 PA2/T0CKI (转变沿计数器) PA7/T1CKI (上升沿计数器)

表 7-1 定时器资源

注：如果定时器的时钟源不是指令时钟，在更改 TMRx 之前需先设置“TMRxON = 0”。

当定时器使能时，其所选的时钟源会自动开启。当定时器时钟源选择 LP 振荡器时，FOSC 必须相应配置成 LP 模式或选择 INTOSCIO 模式，否则 LP 振荡器将处于关闭状态，不会产生计数。

WDT 的后分频器(postscaler)和 Timer0 的预分频器(prescaler)共用同一个硬件分频电路。该硬件电路由指令选择分配给 WDT 或 Timer0，但二者不能同时使用。未被分配分频器的定时器，其分频比值为“1”。

当 POR 或系统复位时，除 Timer0 的计数器外，其他所有定时器的计数器、预分频器和后分频器都将复位。以下事件也将复位相应定时器的计数器和分频器：

	WDT	Timer0	Timer1	Timer2	Timer3/4/5
预分频器	–	<ul style="list-style-type: none"> 写 TMR0 PSA 切换 	<ul style="list-style-type: none"> TMR1ON = 0 写 TMR1L/H 	<ul style="list-style-type: none"> LIRC 和 HIRC 交叉校准启动 写 T2CON, TMR2L/H 任何复位动作 	<ul style="list-style-type: none"> 写 TMRxL/H
计数器	<ul style="list-style-type: none"> WDT, OST 溢出 进入/退出 SLEEP CLRWDT 写 WDTCON 	<ul style="list-style-type: none"> Timer0 溢出 	<ul style="list-style-type: none"> TMR1 = PR1 (匹配, 特殊事件触发) ECCP 触发特殊事件 	<ul style="list-style-type: none"> TMR2 = PR2 (匹配) 	<ul style="list-style-type: none"> TMRx = PRx (BUZZER 模式下匹配)
后分频器	<ul style="list-style-type: none"> 除写 WDTCON 外的以上所有条件 PSA 切换 	–	–	<ul style="list-style-type: none"> 写 T2CON, TMR2L/H 任何复位动作 	–

表 7-2 定时器的计数器和分频器的重置事件

7.1 看门狗定时器 (Watch Dog Timer, WDT)

WDT 用于“从 SLEEP 中唤醒”或“CPU 挂起时产生系统复位”。当 WDT 计数到预设数量的时钟周期数时则产生溢出。

- SLEEP 模式下，WDT 溢出将触发唤醒。CPU 将从其进入 SLEEP 前的位置恢复操作。唤醒不是中断，也不是系统复位事件。
- 正常模式(非 SLEEP 模式)下，WDT 溢出将触发系统复位，随后启动初始化配置(参阅 [章节 4](#) 系统复位)。

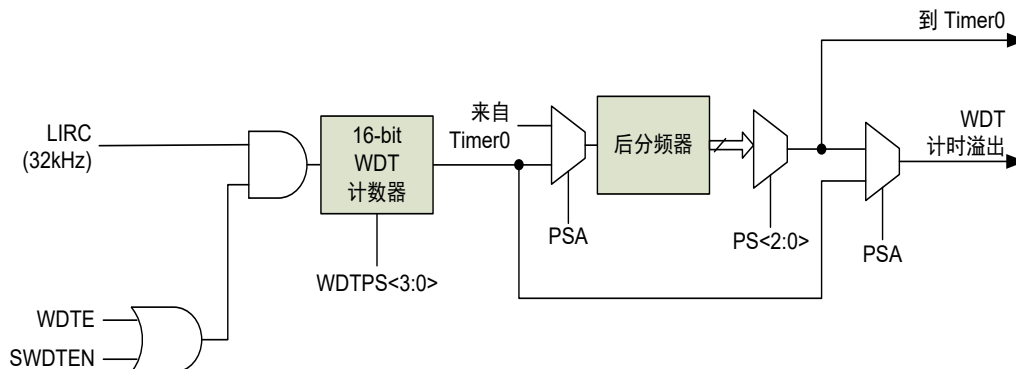


图 7-1 WDT 结构框图

计时超过看门狗定时时间：(WDT-周期 x WDT-后分频比) / WDT 时钟频率，WDT 将溢出。

由于 WDT 后分频器的二进制特性，看门狗定时时间步长呈连续的倍数关系。WDT 溢出前可设置的最长定时时间为：

$$2^{16} \times 2^7 / 32\text{kHz} = \sim 262 \text{ seconds.}$$

7.1.1 WDT 相关寄存器汇总

名称	状态				寄存器	地址	复位值	
WDTPS	<u>WDT 周期</u>				WDTCON[4:1]	0x18	RW-0100	
	0000 = 32			0111 = 4,096				
	0001 = 64			1000 = 8,192				
	0010 = 128			1001 = 16,384				
	0011 = 256			1010 = 32,768				
	0100 = <u>512 (默认)</u>			1011 = 65,536				
	0101 = 1,024			11xx = 65,536				
	0110 = 2,048							
SWDTEN	1 = WDT 使能 0 = <u>WDT 关闭</u> (当 WDTE = 0 时)				WDTCON[0]		RW-0	
PSA	1 = 分频电路分配给 WDT 后分频器 0 = 分频电路分配给 Timer0 预分频器				OPTION[3]		RW-1	
PS		WDT 后分频比		Timer0 预分频比		OPTION[2:0]	0x81	RW-111
	000		1		2			
	001		2		4			
	010		4		8			
	011	<u>(PSA=1)</u>	8	<u>(PSA=0)</u>	16			
	100		16		32			
	101		32		64			
	110		64		128			
	111		<u>128</u>		<u>256</u>			
xxx	<u>(PSA=0)</u>	1	<u>(PSA=1)</u>	1				

表 7-3 WDT 相关用户寄存器

名称	功能	默认
WDTE	<ul style="list-style-type: none"> 使能 (指令不能禁止) <u>通过指令控制 (SWDTEN)</u> 	SWDTEN 控制

表 7-4 WDT 选项初始化配置寄存器

7.1.2 WDT 的设置和使用

由 WDTE (初始化配置寄存器) 以及 SWDTEN (用户寄存器) 使能 WDT, WDT 触发复位后会产生初始化配置过程。

WDT 时钟源固定使用 32kHz LIRC, 后分频器由 WDTPS, PSA 和 PS 一起设置。当 WDT 使能时, LIRC 将自动开启, 且在 SLEEP 模式下保持运行。

如需阻止 WDT 溢出, 必须在设定的定时时间之前清除 WDT, 具体可参阅 [表 7-2](#) 中的清除 WDT 事件。WDT 被清除后将重新开始计时。

7.1.3 在 Timer0 和 WDT 之间切换分频电路

共用的硬件分频电路可分配给 Timer0 或 WDT 使用, 当在 Timer0 和 WDT 之间切换分频电路时可能会导致系统误复位。

将分频电路从分配给 Timer0 切换至 WDT 时, 必须遵循以下指令顺序:

```
BANKSEL TMR0           ; Can skip if already in TMR0 bank
CLRWDW                 ; Clear WDT
CLRR TMR0              ; Clear TMR0 and scaler
BANKSEL OPTION
BSR OPTION, PSA        ; Select WDT

LDWI b'11111000'      ; Mask scaler bits (PS2-0)
ANDWR OPTION, W
IORWI b'00000101'     ; Set WDT scaler bits to 32 (or any value desired)
STR OPTION
```

将分频电路从分配给 WDT 切换至 Timer0 时, 必须遵循以下指令顺序:

```
CLRWDW                 ; Clear WDT and scaler
BANKSEL OPTION
LDWI b'11111000'      ; Mask TMR0 select and scaler bits (PSA, PS2-0)
ANDWR OPTION, W
IORWI b'00000011'     ; Set Timer0 scale to 16 (or any value desired)
STR OPTION
```

7.2 定时器 0 (TIMER0)

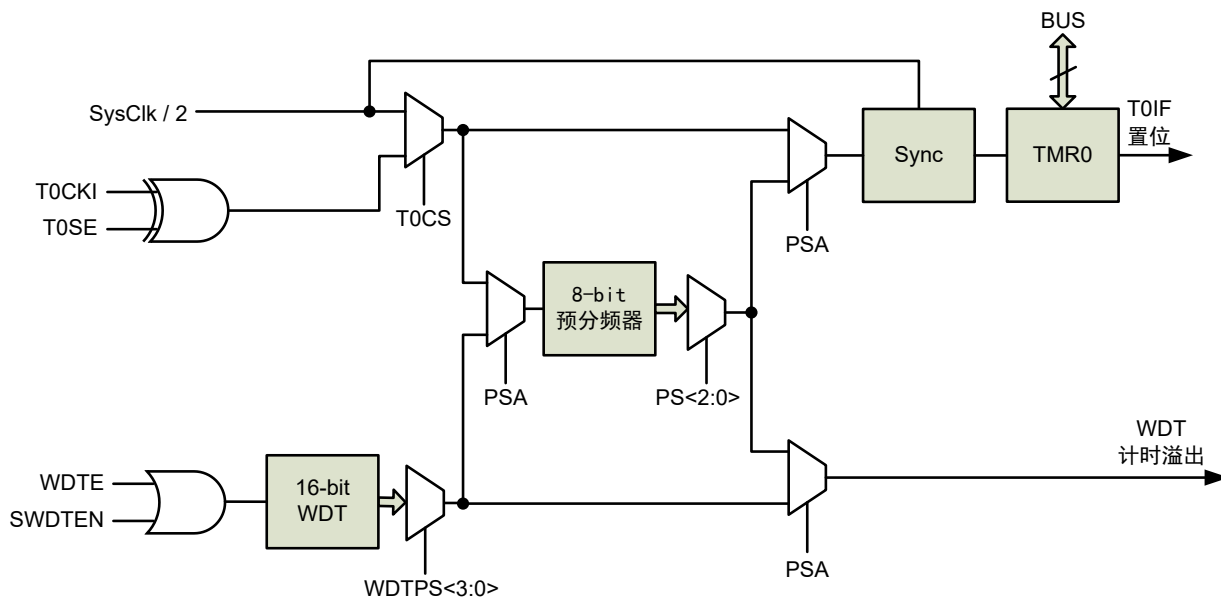


图 7-2 Timer0 结构框图

Timer0 可用作 I/O “PA2-T0CKI” 的上升沿/下降沿计数器，或计时的定时器 (时钟源为指令时钟)。

Timer0 计数和定时溢出时间 = $TMR0[7:0] * Timer0_预分频$

Timer0 溢出将置位中断标志位(T0IF)，是否触发中断取决于相应的使能控制位(T0IE 和 GIE)。

注：

1. 对 TMR0 进行写操作后的 2 个指令周期内，Timer0 停止递增；
2. 在 SLEEP 模式下，Timer0 将停止计数，维持其进入睡眠前的计数值；
3. 如果 Timer0 用于对 T0CKI 进行计数，那么相对于 Timer0，对 T0CKI 有最小周期、高/低脉冲宽度的要求。除非 T0CKI 非常快且 T_{T0CK} 非常慢，否则通常都满足这些限制条件；

T0CKI	最小值	单位	条件
高/低脉冲宽度	$0.5 * T_{T0CK} + 20$	ns	无预分频
	10	ns	有预分频
周期	20 和 $(T_{T0CK}+40)/N$ 中的较大者	ns	$N = 1, 2, 4, \dots, 256$ (有预分频) $N = 1$ (无预分频)

4. 关于“在 Timer0 和 WDT 之间切换分频电路”请参阅 [章节 7.1.3](#)；

7.2.1 Timer0 相关寄存器汇总

名称	状态		寄存器	地址	复位值
T0CS	Timer0 时钟源 1 = PA2/T0CKI (计数器) 0 = 指令时钟 (定时器)		OPTION[5]	0x81	RW-1
T0SE	计数器触发沿 1 = 下降沿 0 = 上升沿		OPTON[4]		RW-1
PSA	1 = 分频电路分配给 WDT 后分频器 0 = 分频电路分配给 Timer0 预分频器		OPTION[3]		RW-1
PS		WDT 后分频比	TIMER0 预分频比		OPTION[2:0]
	000	1	2		
	001	2	4		
	010	4	8		
	011	(PSA=1) 18	(PSA=0) 16		
	100	16	32		
	101	32	64		
	110	64	128		
111	128	256			
xxx	(PSA =0) 1	(PSA =1) 1			
TMR0[7:0]	Timer0 计数值		TMR0[7:0]	0x01	RW-xxxx xxxx

表 7-5 Timer0 相关用户控制寄存器

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (TOIE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
TOIE	Timer0 溢出 中断控制位	1 = 使能 0 = 关闭 (无唤醒)	INTCON[5]		RW-0
TOIF	Timer0 溢出 中断标志位	1 = 已经溢出 (锁存) 0 = 未溢出	INTCON[2]		RW-0

表 7-6 Timer0 中断使能和状态位

7.3 定时器 1 (TIMER1)

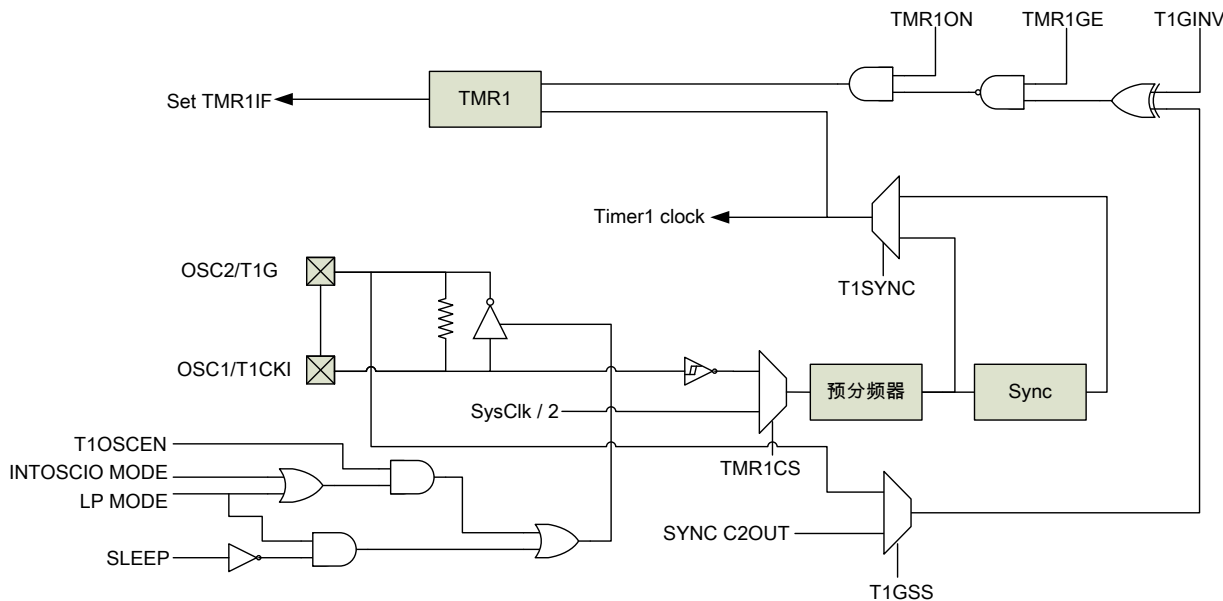


图 7-3 Timer1 结构框图

Timer1 可用作 I/O "PA7-T1CKI" 的上升沿计数器(同步或异步), 或计时的定时器(时钟源为指令时钟或 LP 振荡器), 也可用于门控模式(门控源为 T1G 引脚或比较器 C2 的输出), 以及用作 ECCP 捕捉/比较功能的时基(参阅章节 10 增强型捕捉/比较/PWM)。

Timer1 计数和定时溢出时间 = TMR1 * Timer1_预分频

Timer1 溢出将置位中断标志位(TMR1IF), 是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位 (GIE, PEIE 和 TMR1IE)。

注:

1. 计数器模式下, 在第一个上升沿递增之前, 必须先经过一个下降沿, 适用的情况如下:
 - POR 复位后使能 Timer1
 - Timer1 被关闭后重新使能
 - 写 TMR1H/TMR1L
2. 如需从睡眠中唤醒, 需设置 "TMR1ON = 1", "T1SYNC = 1" 和 "TMR1CS = 1", 使 Timer1 工作在异步计数器模式, 或需设置 "TMR1ON = 1", "T1SYNC = 1", "TMR1CS = 1" 和 "T1OSCEN = 1", 使 Timer1 工作在异步定时器模式且时钟源为 LP 振荡器, 否则 SLEEP 模式下 Timer1 将停止计数, 维持其进入睡眠前的计数值;
3. 如果 Timer1 用于对 T1CKI 进行计数, 那么相对于 Timer1, 对 T1CKI 有最小周期、高/低脉冲宽度的要求。除非 T1CKI 非常快且 T_{T1CK} 非常慢, 否则通常都满足这些限制条件;

T1CKI	模式	最小值	单位	条件
高/低脉冲宽度	同步	$(T_{sysclk} + 20) / N$	ns	N = 1, 2, 4, 8 (有预分频)
	异步	10 或 $30 / N$ 的较大者	ns	
周期	同步	$2 * (T_{sysclk} + 20) / N$	ns	
	异步	20 或 $60 / N$ 的较大者	ns	

7.3.1 Timer1 相关寄存器汇总

名称	状态		寄存器	地址	复位值
T1GINV	<u>门控翻转位 (Timer1 计数时的门控有效电平)</u> 1 = 高电平 0 = 低电平		T1CON[7]	0x10	RW-0
TMR1GE	<u>门控模式 (当 TMR1ON = 1 时有效)</u> 1 = 门控使能 (Timer1 只在门控有效时打开) 0 = 门控关闭 (Timer1 打开)		T1CON[6]		RW-0
T1CKPS	<u>Timer1 预分频比</u> 00 = 1 10 = 4 01 = 2 11 = 8		T1CON[5:4]		RW-00
T1OSCEN	<u>Timer1 外部时钟源 LP 振荡器</u> 1 = 使能 (*) 0 = 关闭 (*) FOSC 应相应配置成 LP 模式或选择 INTOSCIO 模式, 且 TMR1CS = 1, 否则振荡器将不会运行。		T1CON[3]		RW-0
T1SYNC ³	<u>Timer1 外部时钟输入与内部系统时钟同步控制</u> 1 = 异步 0 = 同步 注: 当 TMR1CS = 1 时, 此位有效		T1CON[2]		RW-0
TMR1CS	<u>Timer1 时钟源</u> 1 = 外部 PA7/T1CKI(上升沿)或 LP 振荡器 0 = 内部指令时钟		T1CON[1]		RW-0
TMR1ON	Timer1	1 = 使能 0 = 关闭	T1CON[0]		RW-0
T1GSS	门控源	1 = T1G 引脚 (配置为数字输入) 0 = 比较器 C2 的输出	CMCON1[1]		RW-1
C2SYNC	<u>比较器 C2 输出同步控制</u> 1 = 输出与 Timer1 时钟的下降沿同步 0 = 异步输出		CMCON1[0]	0x1A	RW-0
TMR1L	TMR1 计数结果寄存器低 8 位		TMR1L[7:0]	0x0E	RW- 0000
TMR1H	TMR1 计数结果寄存器高 8 位		TMR1H[7:0]	0x0F	0000

表 7-7 Timer1 相关用户控制寄存器

³ 从同步切换为异步操作时可能错过一次递增, 从异步切换为同步操作时可能多产生一次递增。

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, TMR1IE 适用) 0 = <u>全局关闭</u> (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断	1 = 使能 (TMR1IE 适用) 0 = <u>关闭</u> (无唤醒)	INTCON[6]		RW-0
TMR1IE	Timer1 与 PR1 溢出中断	1 = 使能 0 = <u>关闭</u> (无唤醒)	PIE1[0]	0x8C	RW-0
TMR1IF	Timer1 与 PR1 溢出中断标志位	1 = 溢出 (锁存) 0 = <u>未溢出</u>	PIR1[0]	0x0C	RW-0

表 7-8 Timer1 中断使能和状态位

7.3.2 Timer1 寄存器的读/写操作

TMR1H 和 TMR1L 不能同时读或写，必须遵循以下读写顺序：

- 读 TMR1 时，为了避免可能在两次读操作之间产生溢出，需设置 “TMR1ON = 0” 以停止计数，然后读 TMR1L 和 TMR1H。
- 写 TMR1 时，为了避免写入操作和计数之间的竞争，在写操作前，应设置 “TMR1ON = 0” 以停止计数，然后写 TMR1L 和 TMR1H。

另外，Timer1 工作在异步模式时，对 TMR1H 或 TMR1L 的读操作将确保有效(由硬件实现)。

7.3.3 Timer1 门控模式

Timer1 门控功能可直接通过 T1G 引脚对外部事件定时，或通过比较器 C2 的输出对模拟事件定时 (参阅“T1GSS”，表 7-7)，门控可配置为高电平或低电平有效(参阅“T1GINV”，表 7-7)。这个特性可以简化 Δ - Σ A/D 转换器和许多其他应用的程序。

注：

1. 当 Timer1 时钟源选择外部 LP 振荡器时，门控源选择 T1G 引脚无效；
2. 当 Timer1 门控源选择为比较器 C2 的输出 (T1GSS = 0) 时，建议将比较器 C2 的输出配置为与 Timer1 同步 (C2SYNC = 1)，以确保比较器输出变化时，Timer1 不会错过递增；

7.4 定时器 2 (TIMER2)

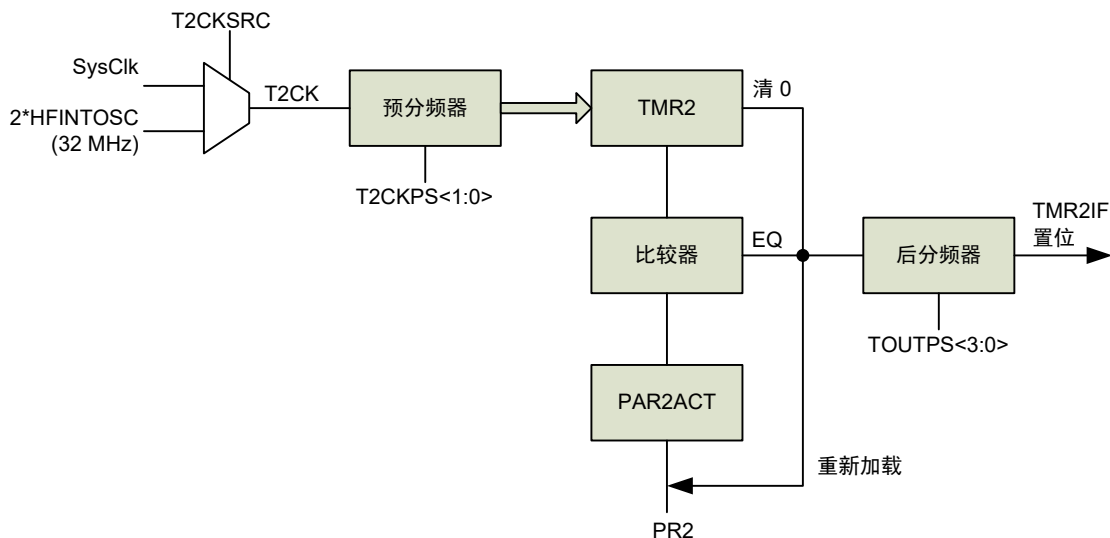


图 7-4 Timer2 结构框图

Timer2 为定时器，也可用于产生增强型 PWM(无后分频，参阅 章节 10 增强型捕捉/比较/PWM)，或用于 LIRC 和 HIRC 交叉校准计数(CKCNTI=1)。可同时运用计数匹配和后分频器溢出功能。

Timer2 时钟被送入 Timer2 预分频器(预分频比为 1, 4 或 16)，预分频器的输出用于递增 TMR2 寄存器，TMR2 从 0x00 开始递增直至与 PR2 匹配。匹配时：

1. TMR2 在下一个递增周期复位为 0x00；
2. Timer2 后分频器递增；
3. 当 Timer2 后分频器的递增输出值与后分频比设置值 (1, 2 15 或 16) 相等时，Timer2 溢出；
4. 中断标志位 TMR2IF 置 1，是否触发中断则取决于相应的使能控制位(GIE, PEIE 和 TMR2IE)；

注：

1. 对 T2CON 进行写操作并不会清零 TMR2 寄存器。
2. TMR2 和 PR2 都是可读/写寄存器。复位时，其值分别为 0x0000 和 0xFFFF。
3. 在 SLEEP 模式下，Timer2 将停止计数，维持其进入睡眠前的计数值。

7.4.1 Timer2 相关寄存器汇总

名称	状态		寄存器	地址	复位值		
TOUTPS	<u>Timer2 后分频比</u>		T2CON[6:3]	0x12	RW-0000		
	0000 = 1	0100 = 5				1000 = 9	1100 = 13
	0001 = 2	0101 = 6				1001 = 10	1101 = 14
	0010 = 3	0110 = 7				1010 = 11	1110 = 15
	0011 = 4	0111 = 8	1011 = 12	1111 = 16			
TMR2ON	Timer2	1 = 使能 0 = <u>关闭</u>	T2CON[2]		RW-0		
T2CKPS	Timer2 预分频比	00 = 1 01 = 4 1x = 16	T2CON[1:0]		RW-00		
T2CKSRC	<u>Timer2 时钟源</u>		MSCKCON[5]	0x1B	RW-0		
	1 = 2 x HIRC (即 32MHz, 仅 ECCP 模式有效) 0 = <u>2 x 指令时钟</u>						
TMR2	TMR2 计数结果寄存器		TMR2[7:0]	0x11	RW-0000 0000		
PR2	PR2 周期寄存器		PR2[7:0]	0x92	RW-1111 1111		

表 7-9 Timer2 相关用户控制寄存器

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, TMR2IE 适用) 0 = <u>全局关闭</u> (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断	1 = 使能 (TMR2IE 适用) 0 = <u>关闭</u> (无唤醒)	INTCON[6]		RW-0
TMR2IE	Timer2 与 PR2 匹配中 断	1 = 使能 0 = <u>关闭</u> (无唤醒)	PIE1[1]	0x8C	RW-0
TMR2IF	Timer2 与 PR2 匹配中 断标志位	1 = <u>匹配</u> (锁存) 0 = <u>不匹配</u>	PIR1[1]	0x0C	RW-0

表 7-10 Timer2 中断使能和状态位

7.5 定时器 3/4/5 (TIMER3/4/5) 和 PWM3/4/5

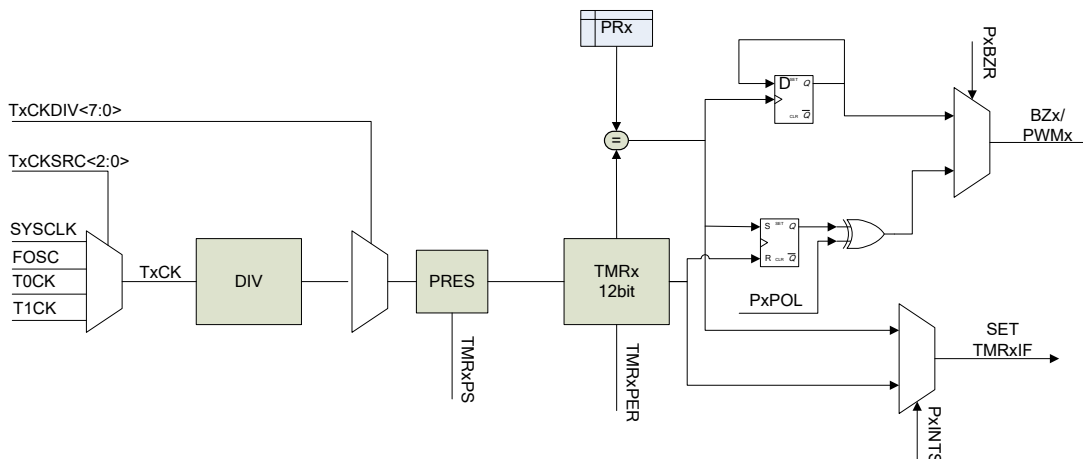


图 7-5 Timerx/PWMx (x = 3, 4, 5)结构框图

Timer3/4/5 可用作 I/O “PA2-T0CKI” 或 “PA7-T1CKI” 的计数器，或计时的定时器，也可用于产生 3 路占空比相互独立的 PWMx，且输出极性可选。

Timerx/PWMx 时钟源由 PxCKSRC 选择，并可对时钟源进行 1~256 分频(参阅 “TxCKDIV”), 分频后的 Timerx 时钟被送入 7 位预分频器(预分频比为 1~128)，预分频器的输出被用于递增 TMRx 寄存器。

Timerx 模块可配置为溢出中断或匹配中断(参阅 “PxINTS”)。

溢出模式：计数和定时溢出时间 = $TMRx[11:0] * Timerx_预分频$ ，TMRx 的有效位由 PxPER 决定；

匹配模式：TMRx 递增到设置时间 = $PRx * Timerx_预分频 / (Timerx_时钟分频)$ 时，TMRx 与 PRx 匹配；

当 Timerx 溢出或 TMRx 与 PRx 匹配时，将置位中断标志位(TMRxIF)，而 TMRx 在下一个递增周期复位为 0x000。溢出或匹配事件是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(TMRxIE, PEIE 和 GIE)。

注：

1. 当 Timerx/PWMx 时钟源选择 HIRC 时，内部 HIRC 将会自动开启，除非进入睡眠模式；
2. TMRx 和 PRx 都是可读/写寄存器。复位时，PRx 的值为 0xFFFF，但 TMRx 为不确定值，需先软件清零或写入其他初始值。
3. 如需从睡眠中唤醒，需设置 “PxCKSRC = 010 / 011”，将 Timerx 的时钟源选为 I/O “PA2-T0CKI” 或 “PA7-T1CKI” 以使 Timerx/PWMx/BUZZERx 在 SLEEP 模式下保持运行，否则 Timerx 将停止计数，维持其进入睡眠前的计数值。
4. 如果 Timerx 用于对 T0CKI 或 T1CKI 进行计数，那么对 T0CKI/T1CKI 的要求请参阅[章节 7.2](#)和[章节 7.3](#)。

7.5.1 Timer3/4/5 相关寄存器汇总

名称	状态	寄存器	地址	复位值
P3PER	<u>TMRx 有效位 (当 PxINTS = 0 时有效)</u> ⁴	PWM3CR0[6:4]	0x10F	RW-000
P4PER	000 = 4 位 100 = 9 位	PWM4CR0[6:4]	0x115	
P5PER	001 = 5 位 101 = 10 位 010 = 6 位 110 = 11 位 011 = 8 位 111 = 12 位	PWM5CR0[6:4]	0x11B	
P3CKSRC	<u>TIMERx / PWMx 时钟源</u> 000 = 2x 指令时钟 / (TxCKDIV + 1)	PWM3CR0[3:1]	0x10F	RW-000
P4CKSRC	001 = HIRC / (TxCKDIV + 1) 010 = T0CKI / (TxCKDIV + 1) 011 = T1CKI / (TxCKDIV + 1)	PWM4CR0[3:1]	0x115	
P5CKSRC	100 = HIRC / (TxCKDIV + 1), 同时 PWMx 输出低电平 101 = HIRC / (TxCKDIV + 1), 同时 PWMx 输出高电平 110 = HIRC / (TxCKDIV + 1), 同时 PWMx 根据高脉冲调制 PxCK (参阅表 7-13) 111 = HIRC / (TxCKDIV + 1), 同时 PWMx 根据低脉冲调制 PxCK (参阅表 7-13)	PWM5CR0[3:1]	0x11B	
P3BZR	<u>PWM / BUZZER 模式选择</u>	PWM3CR0[0]	0x10F	RW-0
P4BZR	1 = BUZZER 输出	PWM4CR0[0]	0x115	
P5BZR	0 = PWM 输出	PWM5CR0[0]	0x11B	
P3EN	<u>TIMERx / PWMx 工作模式</u>	PWM3CR1 [7]	0x110	RW-0
P4EN	1 = PWM / BUZZER 模式	PWM4CR1 [7]	0x116	
P5EN	0 = 定时器 / 计数器模式	PWM5CR1 [7]	0x11C	
P3POL	<u>PWMx 输出极性</u>	PWM3CR1[6]	0x110	RW-0
P4POL	1 = 低电平有效	PWM4CR1[6]	0x116	
P5POL	0 = 高电平有效	PWM5CR1[6]	0x11C	
TMR3PS	<u>PWMx 预分频比</u>	PWM3CR1[5:3]	0x110	RW-000
TMR4PS	000 = 1 100 = 16 001 = 2 101 = 32 010 = 4 110 = 64	PWM4CR1[5:3]	0x116	
TMR5PS	011 = 8 111 = 128	PWM5CR1[5:3]	0x11C	
TMR3ON	<u>TIMERx</u>	PWM3CR1[2]	0x110	RW-0
TMR4ON	1 = 使能	PWM4CR1[2]	0x116	
TMR5ON	0 = 关闭	PWM5CR1[2]	0x11C	

⁴ 更改 PxPER 的值时, 需先设置 TMRxON = 0;

名称	状态	寄存器	地址	复位值
T3CKDIV ⁵	TMR3 时钟分频位 (参阅 "P3CKSRC")	T3CKDIV[7:0]	0x111	RW-0000 0000
T4CKDIV ⁵	TMR4 时钟分频位 (参阅 "P4CKSRC")	T4CKDIV[7:0]	0x117	RW-0000 0000
T5CKDIV ⁵	TMR5 时钟分频位 (参阅 "P5CKSRC")	T5CKDIV[7:0]	0x11D	RW-0000 0000
TMR3L	TMR3 计数结果寄存器低 8 位	TMR3L[7:0]	0x10C	RW-xxxx xxxx
TMR3H	TMR3 计数结果寄存器高 4 位	TMR3H[7:4]	0x10D	RW-xxxx
PR3L	PR3 周期寄存器低 8 位	PR3L[7:0]	0x10E	RW-1111 1111
PR3H	PR3 周期寄存器高 4 位	TMR3H[3:0]	0x10D	RW-1111
TMR4L	TMR4 计数结果寄存器低 8 位	TMR4L[7:0]	0x112	RW-xxxx xxxx
TMR4H	TMR4 计数结果寄存器高 4 位	TMR4H[7:4]	0x113	RW-xxxx
PR4L	PR4 周期寄存器低 8 位	PR4L[7:0]	0x114	RW-1111 1111
PR4H	PR4 周期寄存器高 4 位	TMR4H[3:0]	0x113	RW-1111
TMR5L	TMR5 计数结果寄存器低 8 位	TMR5L[7:0]	0x118	RW-xxxx xxxx
TMR5H	TMR5 计数结果寄存器高 4 位	TMR5H[7:4]	0x119	RW-xxxx
PR5L	PR5 周期寄存器低 8 位	PR5L[7:0]	0x11A	RW-1111 1111
PR5H	PR5 周期寄存器高 4 位	TMR5H[3:0]	0x119	RW-1111

表 7-11 Timer3/4/5 相关用户控制寄存器

⁵ 当对 TxCKDIV 进行写操作时，时钟源的分频输出将立即更新；

名称	状态	寄存器	地址	复位值
GIE	<u>全局中断</u> 1 = 使能 (PEIE, TMRxIE 适用) 0 = <u>全局关闭</u> (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	<u>外设总中断</u> 1 = 使能 (TMRxIE 适用) 0 = <u>关闭</u> (无唤醒)	INTCON[6]		RW-0
P3INTS	<u>Timerx 中断选择位</u> 1 = TMRx 与 PRx 匹配中断	PWM3CR0[7]	0x10F	RW-0
P4INTS	0 = TMRx 溢出中断	PWM4CR0[7]	0x115	RW-0
P5INTS		PWM5CR0[7]	0x11B	RW-0
TMR3IE	<u>Timerx 中断</u> 1 = 使能	PWM3CR1[1]	0x110	RW-0
TMR4IE	0 = <u>关闭</u> (无唤醒)	PWM4CR1[1]	0x116	RW-0
TMR5IE		PWM5CR1[1]	0x11C	RW-0
TMR3IF	<u>Timerx 中断标志位</u> 1 = 匹配/溢出 (锁存)	PWM3CR1[0]	0x110	RW-0
TMR4IF	0 = <u>不匹配/无溢出</u>	PWM4CR1[0]	0x116	RW-0
TMR5IF		PWM5CR1[0]	0x11C	RW-0

表 7-12 Timerx (x = 3, 4, 5) 中断使能和状态位

7.5.2 Timer3/4/5 寄存器的读/写操作

TMRxH 和 TMRxL 不能同时读或写，应设置“TMRxON = 0”以停止计数，再对 TMRxH/TMRxL 进行读/写操作。

7.5.3 PWMx 模式

PWMx 模式 — 3 路 PWM3/4/5 占空比相互独立。

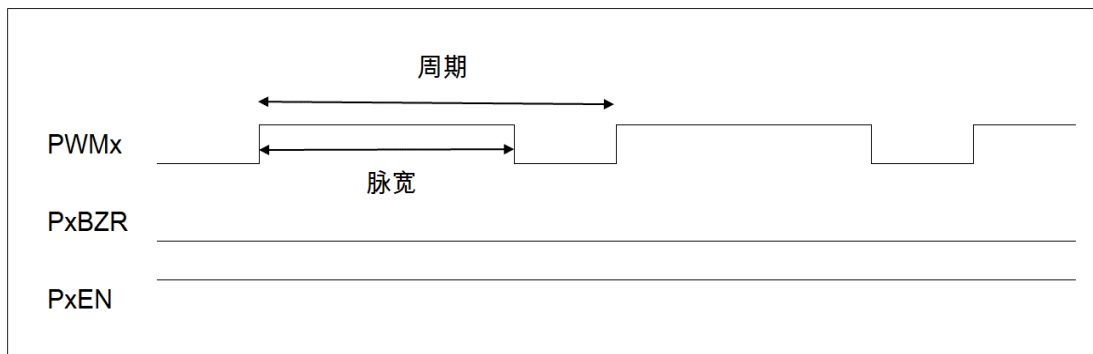


图 7-6 PWMx 模式(正向输出)

PWMx 周期由 PxPER 寄存器决定，如公式 7-1。脉宽和占空比由 PRxH:L 决定，如公式 7-2 和公式 7-3。

公式 7-1 $PWMx \text{ 周期} = 2^N * T_{PxCK} * (TMRx \text{ 预分频值});$ (N 为 PxPER 设置的有效位)

公式 7-2 $PWMx \text{ 脉宽} = (PRx) * T_{PxCK} * (TMRx \text{ 预分频值})$

公式 7-3 $PWMx \text{ 占空比} = (PRx) / 2^N;$ (N 为 PxPER 设置的有效位)

此外，PWMx 可随时钟分频而输出不同的调制波形，Timerx/PWMx 的 8 种时钟源及 PWM 输出如下：

PxCKSRC	时钟源及分频	PWMx / BUZZERx 输出
000	2x 指令时钟 / (TxCKDIV + 1)	正常
001	HIRC / (TxCKDIV + 1)	正常
010	T0CKI / (TxCKDIV + 1)	正常
011	T1CKI / (TxCKDIV + 1)	正常
100	HIRC / (TxCKDIV + 1)	低电平
101	HIRC / (TxCKDIV + 1)	高电平
110	HIRC / (TxCKDIV + 1)	PWMx 根据高脉冲调制 PxCK (即 PWMx 原高脉冲期间输出 TIMERx 分频时钟，原低脉冲保持输出低)
111	HIRC / (TxCKDIV + 1)	PWMx 根据低脉冲调制 PxCK (即 PWMx 原低脉冲期间输出 TIMERx 分频时钟，原高脉冲变为输出低)

表 7-13 PWM 输出模式

注：

1. PWMx 模式下，当 TMRxH:L = 2^N (N 为 PxPER 设置的有效位) 时，TMRxH:L 将自动清 0；
2. PRxH 和 PRxL 不能同时写，对 PRx 的写操作将立即更新当前占空比，建议在 TIMERx 关闭时将目标值写入 PRx；
3. ECCP 优先级比 PWM3/4/5 高，如果同时使用 ECCP 的 PWM 和 PWM3/4/5，需将 ECCP 设置为单输出模式(P1M=00，参阅 章节 10 ECCP 模块)；

蜂鸣器 (BUZZERx) 模式 — PWMx 输出 50%占空比的方波，周期由 PRxH:L 决定，如公式 7-4。

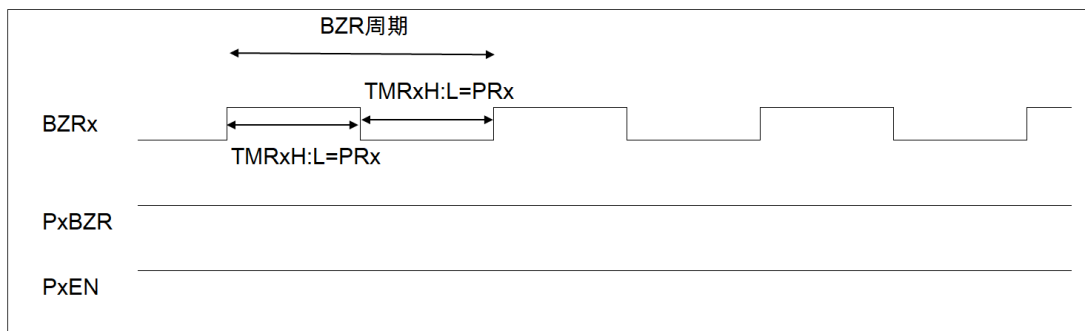


图 7-7 50%占空比的 BUZZER 方波

公式 7-4 BUZZERx 周期 = 2 * PRx * T_{PxCK} * (TMRx 预分频值)

注：

1. BUZZER 模式下，TMRx 有效位为 12bit，与 PxPER 无关，当 TMRxH:L = PRxH:L 时，TMRxH:L 将自动清 0；
2. BUZZER 模式下，当 PRx = 0x000 时，PWMx 输出 0，此时 TMRx 溢出时 TMRxIF 才会置 1；

8. SLEEP 睡眠模式 (POWER-DOWN)

睡眠模式下，指令时钟关闭，指令执行停止，大多数模块掉电以降低功耗。如表 8-1 所示，FT61F02x 可根据实际需求在睡眠时有选择地开启各个模块，而无须指令介入，以使其相应功能如 LVR、LVD、WDT、Timers、比较器、PWM 和 ADC 能在 SLEEP 模式下保持运行。有些模块也可配置成进入 SLEEP 后自动关闭，而无须由指令关闭。

模块	SLEEP 模式下的各模块配置条件	
	运行	自动关闭?
指令时钟	(始终关闭)	Yes
LVR (配置 LVREN)	使能或通过指令控制 (SLVREN = 1)	非 SLEEP 模式下使能
LVD	LVDEN = 1	No
WDT	WDTE or SWDTEN	No
TIMER0	(始终关闭)	Yes
TIMER1	TMR1ON = 1 & T1SYNC = 1 & TMR1CS = 1 & T1OSCEN = 1	TMR1ON = 0
TIMER2	(始终关闭)	Yes
PWM3/4/5	PxCKSRC = 010 / 011 & TMRxON = 1	No
增强型 ECCP	(跟随 TIMER2)	
HIRC / LIRC / EC / LP / XT	(跟随使用它们的外设状态)	
ADC	(当 ADON = 1 且 ADCS = x11 时，ADC 即可运行)	
比较器	(CM ≠ 000 或 111 时，比较器保持运行)	
稳压器	(VREG_OE = 1 时，稳压器保持运行)	
I/O	(除非 SLEEP 时使能 PWM，否则 I/O 将保持其进入 SLEEP 前的状态)	

表 8-1 除指令时钟外，其他模块可根据需求在 SLEEP 模式下保持运行

8.1 进入 SLEEP

CPU 通过执行 SLEEP 指令进入睡眠模式。进入睡眠时：

1. 如果 WDT 使能，则 WDT 的后分频器(如果分配给 WDT)和定时器将被清零，并重新开始计时。
2. 超时标志位 (/TF) = 1。
3. 掉电标志位 (/PF) = 0。
4. 时钟源
 - 指令时钟自动关闭；
 - 如果 Timer 在 SLEEP 下保持运行，则其所选用的时钟源 HIRC, LIRC 或外部振荡器(EC, LP, XT)也将保持运行。如果某个 Timer 在睡眠中自动关闭，则其时钟源也将自动关闭，除非此时钟源同时被另一个保持运行的 Timer 所使用。
 - 指令时钟自动停止，因此即便配置了输出内部指令时钟，进入睡眠后其输出也将停止。
5. I/O 端口

- 如果 Timer3/4/5 在 SLEEP 下保持运行，则 PWM 输出也将保持。如果 Timer3/4/5 自动关闭，那么 PWM 的输出将保持其进入 SLEEP 前的状态。
- 其他数字输出端口，将保持其进入 SLEEP 前的状态(高阻态，低电平或高电平)。
- 当“ADON = 1”且 ADC 所选时钟源保持运行时，ADC 即可运行。如果其时钟源自动关闭，则 ADC 也将自动关闭。

有关各个外设 在 SLEEP 状态下如何工作的详细信息，请查阅相应章节。

8.2 从 SLEEP 中唤醒

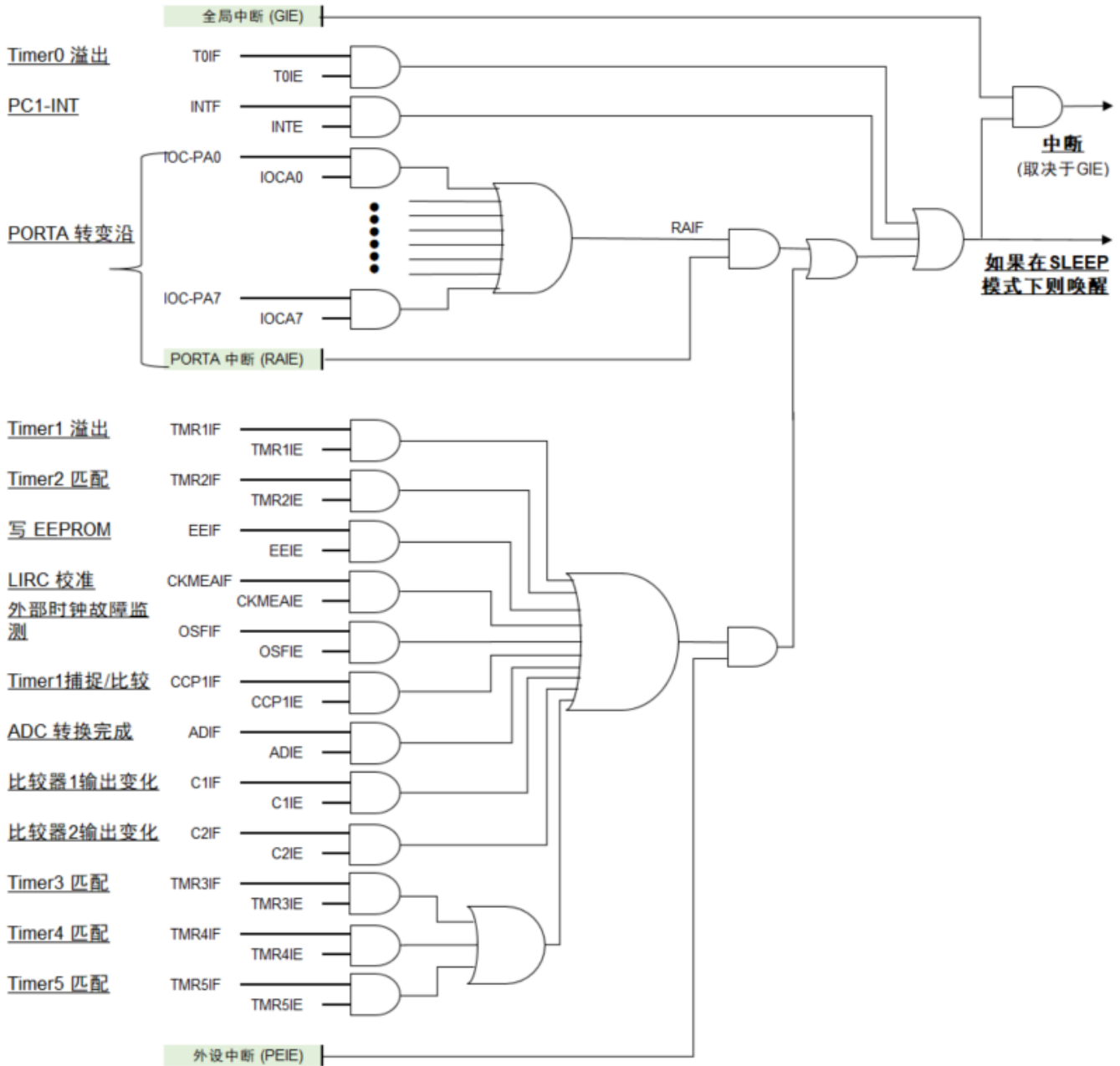
从睡眠中唤醒有 2 个基本原则：

- 基于时间，即 CPU 在一定的时间后醒来。建议选择 LIRC 作为计时的时钟源，因为 LIRC 比 HIRC 的功耗更低。
 - 基于事件，即触发 POR，系统复位，仅唤醒而不产生中断，以及产生中断的事件，如 ADC，端口变化中断，PC1 边沿中断。
1. 如果使能，看门狗定时器可触发唤醒 (参阅 [章节 7.1](#) 看门狗定时器)。
 2. 完全复位和系统复位：
 - POR 完全复位 (不能关闭)
 - 通过/MCLR 进行外部系统复位 (如果使能)
 - LVR 复位 (如果使能)
 3. 使能中断 (关闭“全局中断使能”不影响唤醒功能)。请参阅 [章节 9](#) 中断。

注：

1. 从睡眠中唤醒将清零 WDT。

9. 中断 (INTERRUPTS)



注：由于指令时钟在睡眠期间停止，只有不选择指令时钟作为时钟源的外设能将器件从睡眠中唤醒；

图 9-1 中断结构框图

CPU 支持 15 个中断源，分为 2 组：

- 1) 非外设中断 (Timer0 和 I/O)
 - Timer0 溢出
 - PC1-INT (自动上升沿或下降沿中断)
 - PORTA 端口变化中断 (软件控制)
- 2) 外设中断

- Timer1 溢出
- Timer2 与 PR2 匹配
- DATA EEPROM 写完成
- LIRC 和 HIRC 交叉校准完成
- 故障保护时钟监控器
- Timer1 捕捉/比较
- ADC 转换完成
- 比较器 1 / 比较器 2 输出变化
- Timer3 / Timer4 / Timer5 匹配

与其他 Timers 不同，WDT 溢出不会产生中断。除外部 I/O 中断外，其他中断请参阅相应章节。

产生中断时，PC 跳转并执行“中断服务程序(ISR)”。中断的关闭/使能有多层控制：

- 每个中断源都有其独立的中断使能位：T0IE, INTE, IOCAx, TMRxIE(x=1,2,3,4,5), EEIE, CKMEAIE, CxIE(x=1,2), OSFIE, ADIE, CCP1IE。
- 8 个 PAX 中断输入共用一个端口中断使能位：PAIE (PORTA Interrupt Enable)。
- 外设中断有一个总中断使能位：PEIE (PEripheral Interrupt Enable)。
- 如果关闭以上所有控制位，将不会执行从睡眠中唤醒。
- 所有中断都由全局中断使能位控制：GIE (Global Interrupt Enable)。与其他使能位不同，当关闭全局中断使能位时，依然允许从睡眠中唤醒。
- 关闭中断使能位并不影响中断标志位的置位。
- Timer0 和 Timer2 中断无法从睡眠状态下唤醒 CPU。

中断处理时序如下：

- 自动设置“GIE = 0”，从而关闭中断。
- 返回地址被压入堆栈，程序指针 PC 加载 0x0004 地址。
- 发生中断后的 1 – 2 个指令周期，跳转到“中断服务程序(ISR)”开始处理中断。
- 执行“从中断返回(RETI)”指令退出 ISR。在 RETI 之前必须清除当前所处理的中断标志位。
- 当 ISR 完成时，PC 返回到中断前的地址，如果在 SLEEP 模式下，则返回到 SLEEP 指令后紧跟的地址。
- 在执行 RETI 时自动设置“GIE = 1”，从而使能中断。

注： 中断过程中，只有返回 PC 地址被自动保存在堆栈上。如果用户需要保存其他重要的寄存器值 (如 W, STATUS 寄存器等)，必须通过指令将这些值正确地写入临时寄存器中，建议使用 SRAM 的最后 16 个 bytes 作为临时寄存器，因为所有 bank 共用这 16 个 bytes，而不需要切换 bank 以节省代码。

9.1 中断相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值(RW)
INTCON	0x0B	GIE	PEIE	TOIE	INTE	PAIE	TOIF	INTF	PAIF	0000 0000
PIE1	0x8C	EEIE	CKMEAIE	-	C2IE	C1IE	OSFIE	TMR2IE	TMR1IE	0000 0000
PIR1	0x0C	EEIF	CKMEAIF	-	C2IF	C1IF	OSFIF	TMR2IF	TMR1IF	0000 0000
PIE2	0x8D	-	-	-	-	-	-	ADIE	CCP1IE	---- --00
PIR2	0x0D	-	-	-	-	-	-	ADIF	CCP1IF	---- --00
PWM3CR0	0x10F	P3INTS	P3PER[2:0]			P3CKSRC[2:0]			P3BZR	0000 0000
PWM3CR1	0x110	P3EN	P3POL	TMR3PS[2:0]			TMR3ON	TMR3IE	TMR3IF	0000 0000
PWM4CR0	0x115	P4INTS	P4PER[2:0]			P4CKSRC[2:0]			P4BZR	0000 0000
PWM4CR1	0x116	P4EN	P4POL	TMR4PS[2:0]			TMR4ON	TMR4IE	TMR4IF	0000 0000
PWM5CR0	0x11B	P5INTS	P5PER[2:0]			P5CKSRC[2:0]			P5BZR	0000 0000
PWM5CR1	0x11C	P5EN	P5POL	TMR5PS[2:0]			TMR5ON	TMR5IE	TMR5IF	0000 0000
OPTION	0x81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
TRISA	0x85	PORTA 方向控制								1111 1111
IOCA	0x96	PORTA 端口变化中断设置								0000 0000

表 9-1 中断相关寄存器地址和默认值

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, 各中断独立使能位适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断	1 = 使能 (各中断独立使能位适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
TOIE	Timer0 溢出中断	1 = 使能 0 = 关闭 (无唤醒)	INTCON[5]		RW-0
INTE	PC1-INT 外部中断		INTCON[4]		RW-0
PAIE	PORTA 端口变化总中断		INTCON[3]		RW-0
TOIF	Timer0 溢出中断标志位	1 = Yes (锁存) 0 = No	INTCON[2]		RW-0
INTF	PC1-INT 外部中断标志位		INTCON[1]		RW-0
PAIF	PORTA 端口变化总中断标志位		INTCON[0]	RW-0	

表 9-2 INTCON 寄存器

名称	状态		寄存器	地址	复位值
EEIE	EE 写完成中断	1 = 使能 0 = 关闭 (无唤醒)	PIE1[7]	0x8C	RW-0
CKMEAIE	LIRC 和 HIRC 交叉校准完成中断		PIE1[6]		RW-0
C2IE	比较器 2 中断		PIE1[4]		RW-0
C1IE	比较器 1 中断		PIE1[3]		RW-0
OSFIE	外部振荡器故障中断		PIE1[2]		RW-0
TMR2IE	Timer2 与 PR2 匹配中断		PIE1[1]		RW-0
TMR1IE	Timer1 溢出中断		PIE1[0]	RW-0	
ADIE	ADC 转换完成中断		PIE2[1]	0x8D	RW-0
CCP1IE	CCP1 捕捉 / 匹配中断	PIE2[0]	RW-0		

表 9-3 PIEx 寄存器

名称	状态	寄存器	地址	复位值	
EEIF	EEPROM 写完成标志位	1 = Yes (锁存) 0 = No	0x0C	RW-0	
CKMEAIF	LIRC 和 HIRC 交叉校准完成标志位			PIR1[7]	RW-0
C2IF	比较器 2 中断标志位			PIR1[6]	RW-0
C1IF	比较器 1 中断标志位			PIR1[4]	RW-0
OSFIF	外部振荡器故障标志位			PIR1[3]	RW-0
TMR2IF	Timer2 与 PR2 匹配标志位			PIR1[2]	RW-0
TMR1IF	Timer1 溢出标志位		PIR1[1]	RW-0	
ADIF	ADC 转换完成标志位		PIR1[0]	0x0D	RW-0
CCP1IF	CCP1 发生捕捉 / 匹配标志位	PIR2[1]	RW-0		
		PIR2[0]		RW-0	

表 9-4 PIRx 寄存器

名称	状态	寄存器	地址	复位值	
P3INTS	Timer3 中断选择位	1 = TMRx 与 PRx 匹配中断 0 = TMRx 溢出中断 注: x=3, 4, 5	PWM3CR0[7]	0x10F	RW-0
P4INTS	Timer4 中断选择位		PWM4CR0[7]	0x115	RW-0
P5INTS	Timer5 中断选择位		PWM5CR0[7]	0x11B	RW-0
TMR3IE	Timer3 中断使能位	1 = 使能 0 = 关闭 (无唤醒)	PWM3CR1[1]	0x110	RW-0
TMR4IE	Timer4 中断使能位		PWM4CR1[1]	0x116	RW-0
TMR5IE	Timer5 中断使能位		PWM5CR1[1]	0x11C	RW-0
TMR3IF	Timer3 中断标志位	1 = 匹配/溢出 (锁存) 0 = 不匹配/无溢出	PWM3CR1[0]	0x110	RW-0
TMR4IF	Timer4 中断标志位		PWM4CR1[0]	0x116	RW-0
TMR5IF	Timer5 中断标志位		PWM5CR1[0]	0x11C	RW-0

表 9-5 Timer3/4/5 中断寄存器

名称	状态	寄存器	地址	复位值
/PAPU	PORTA 上拉 1 = 全局关闭 0 = 由 WPUA 控制	OPTION[7]	0x81	RW-1
INTEDG	PC1 中断沿 1 = 上升沿 0 = 下降沿	OPTION[6]		RW-1
TRISA	PORTA I/O 数字输出 (方向控制) 1 = 输入 (关闭数字输出) 0 = 关闭上拉/下拉	TRISA[7:0]	0x85	RW-11111111
IOCA	PORTA 端口变化中断 1 = 使能 0 = 关闭	IOCA[7:0]	0x96	RW-00000000

表 9-6 OPTION, TRISA 和 IOCA 寄存器

9.2 PC1-INT 和 PORTA 端口变化中断

名称	PC1-INT	PORTA 端口变化中断
通道数	仅 PC1	PA0 – PA7 (多达 8 个通道)
I/O 设置	TRISC[1] = 1; ANSEL[4] = 0; CMCON0[2:0] = 111	TRISA[x] = 1; ANSEL[x] = 0; CMCON0[2:0] = 111
其他设置	INTEDG, INTE, GIE, INTF	IOCA, PAIE, GIE, PAIF
触发	上升沿或下降沿 (二选一)	0 → 1 或 1 → 0
需要软件监控?	No	需要

表 9-7 PC1-INT 和 PORTA 端口变化中断之间的区别

PC1-INT 和 PORTA 端口变化中断均为外部 I/O 中断。如果设置正确，PC1-INT 将在后台运行而无需监督。PORTA 端口变化中断则需要持续的软件监控。对于 PORTA 端口变化中断：

1. 将输入寄存器值锁存到端口变化中断锁存器中(通过读 PORTA)。
2. 当输入电平变化时，输入寄存器值与锁存器值之间的差异将置位 PAIF。
3. 输入寄存器的锁存过程(即读 PORTA 的过程)将更新用于比较的参考电平，如果在 PAIF 置位后立即读 PORTA 即可清除端口变化中断的触发条件。当端口不匹配事件不再存在时，PAIF 可通过指令清除。

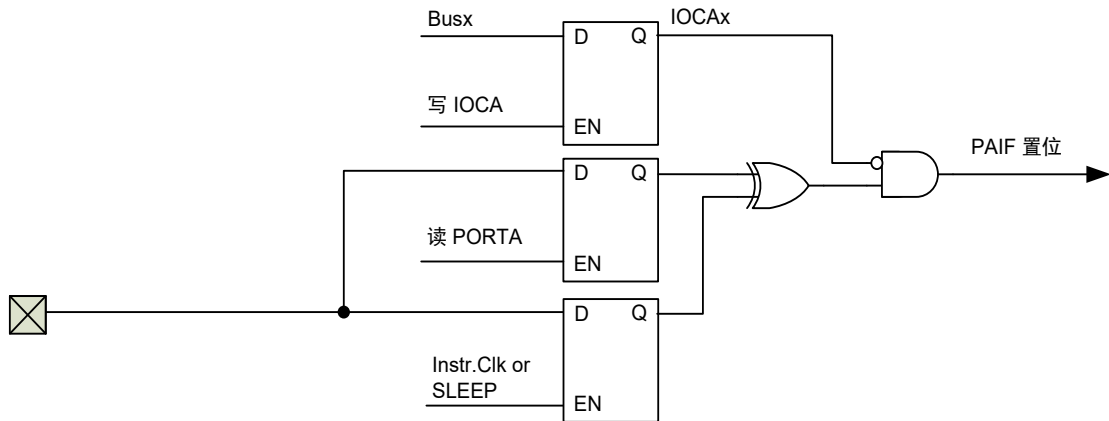


图 9-2 PORTA 转变沿中断

10. 增强型捕捉/比较/PWM 模块 (ECCP)

增强型捕捉/比较/PWM 模块(ECCP)可用于对不同事件进行定时和控制。

- 捕捉模式：对事件的持续时间定时。
- 比较模式：在预设时长后触发外部事件。
- PWM 增强模式：单输出，半桥模式，全桥模式(正向或反向)。

ECCP	定时器
捕捉	Timer1 (必须运行在定时器模式或同步计数器模式)
比较	Timer1 (必须运行在定时器模式或同步计数器模式)
PWM(增强)	Timer2

表 10-1 ECCP 各模式所需的定时器资源

10.1 ECCP 相关寄存器汇总

名称	地址	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	复位值	
T1CON	0x10	T1GINV	TMR1GE	T1CKPS[1:0]		T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	
T2CON	0x12	-	TOUTPS[3:0]				TMR2ON	T2CKPS[1:0]		-000 0000	
TMR1L	0x0E	TMR1 计数结果寄存器低 8 位								xxxx xxxx	
TMR1H	0x0F	TMR1 计数结果寄存器高 8 位								xxxx xxxx	
TMR2	0x11	TMR2 计数结果寄存器								xxxx xxxx	
PR2	0x92	PR2 周期寄存器								1111 1111	
CCPR1L	0x13	捕捉/比较/PWM 寄存器低 8 位								xxxx xxxx	
CCPR1H	0x14	捕捉/比较/PWM 寄存器高 8 位								xxxx xxxx	
CCP1CON	0x15	P1M[1:0]		DC1B[1:0]		CCP1M[3:0]				0000 0000	
PWM1CON	0x16	PRSEN	PDC[6:0]								0000 0000
ECCPAS	0x17	ECCPASE	ECCPAS[2:0]			PSSAC[1:0]		PSSBD[1:0]		0000 0000	
PWM1AUX	0x90	AUX1EN	P1OS	P1FOE	P1EOE	P1DOE	P1COE	P1BOE	P1AOE	0000 0000	

表 10-2 ECCP 相关用户寄存器地址

名称	状态		寄存器	地址	复位值
TMR1L	TMR1 计数结果寄存器低 8 位		TMR1L[7:0]	0x0E	RW-0000 0000
TMR1H	TMR1 计数结果寄存器高 8 位		TMR1H[7:0]	0x0F	RW-0000 0000
CCPR1L	捕捉/比较寄存器低 8 位		CCPR1L[7:0]	0x13	RW-xxxx xxxx
CCPR1H	捕捉/比较寄存器高 8 位		CCPR1H[7:0]	0x14	RW-xxxx xxxx
CCP1M	ECCP 模式选择			CCP1CON[3:0]	RW-0000
	值	模式	描述		
	0000	关闭	复位 ECCP 模块		
	0001/0011	未使用	(无)		
	0100	捕捉模式 (捕捉脚 CCP1)	每 1 个下降沿		
	0101		每 1 个上升沿		
	0110		每 4 个上升沿		
	0111		每 16 个上升沿		
	0010	比较模式 (匹配时)	CCP1 翻转输出		
	1000		CCP1 输出高		
	1001		CCP1 输出低		
	1010		CCP1 引脚不受影响		
	1011		触发特殊事件 (CCP1 引脚不受影响)		
	1100	PWM 模式	P1A 和 P1C 高电平有效; P1B 和 P1D 高电平有效		
	1101		P1A 和 P1C 高电平有效; P1B 和 P1D 低电平有效		
	1110		P1A 和 P1C 低电平有效; P1B 和 P1D 高电平有效		
1111	P1A 和 P1C 低电平有效; P1B 和 P1D 低电平有效				

表 10-3 ECCP 捕捉/比较/PWM 模式寄存器

名称	状态		寄存器	地址	复位值	
TMR2	TMR2 计数结果寄存器		TMR2[7:0]	0x11	RW-0000 0000	
PR2	PR2 周期寄存器		PR2[7:0]	0x92	RW-1111 1111	
DC1B	PWM 占空比低 2 位 (仅当 CCP1M = 11xx 时有效)		CCP1CON[5:4]	0x15	RW-00	
CCPR1L	PWM 占空比高 8 位		CCPR1L[7:0]	0x13	RW-xxxx xxxx	
CCPR1H	PWM 占空比高 8 位锁存器		CCPR1H[7:0]	0x14	RO-xxxx xxxx	
P1M	PWM 输出配置 (仅当 CCP1M = 11xx 时有效) 错误!未找到引用源。		CCP1CON[7:6]	0x15	RW-00	
	00	单输出				P1A 调制, P1B、P1C 和 P1D 为 GPIO
	01	全桥正向输出				P1D 调制, P1A 有效, P1B 和 P1C 无效
	10	半桥输出				P1A 和 P1B 调制(带死区控制), P1C 和 P1D 为 GPIO
	11	全桥反向输出				P1B 调制, P1C 有效, P1A 和 P1D 无效
注: 当 CCP1M ≠ 11xx 时, P1A 为捕捉输入/比较输出 CCP1, P1B/P1C/P1D 为 GPIO;						
PRSEN	<u>PWM 自动关闭后, 自动重启控制</u> 1 = 使能 (退出关闭事件时, ECCPASE 自动清零) 0 = 关闭 (退出关闭事件时, ECCPASE 必须由软件清零)		PWM1CON[7]	0x16	RW-0	
PDC	<u>PWM 死区延时 (半桥模式下有效)</u> 死区时间 = PDC[6:0] x 指令时钟		PWM1CON[6:0]		RW-000 0000	
ECCPASE	<u>PWM 自动关闭状态</u> 1 = 发生了自动关闭事件, PWM 输出关闭 0 = PWM 输出正常		ECCPAS[7]		RW-0	
ECCPAS	<u>ECCP 自动关闭源</u> 000 = 禁止自动关闭 001 = 比较器 1 输出(C1OUT)变高 010 = 比较器 2 输出(C2OUT)变高 011 = 比较器 1/2 输出(CxOUT)变高 100 = INT 引脚电压为低 101 = INT 引脚电压为低, 或比较器 1 输出(C1OUT)变高 110 = INT 引脚电压为低, 或比较器 2 输出(C2OUT)变高 111 = INT 引脚电压为低, 或比较器 1/2 输出(CxOUT)变高		ECCPAS[6:4]	0x17	RW-000	

名称	状态		寄存器	地址	复位值
PSSAC	<u>PWM 自动关闭后, P1A 和 P1C 引脚状态</u> 00 = 输出 0 01 = 输出 1 1x = 三态		ECCPAS[3:2]	0x90	RW-00
PSSBD	<u>PWM 自动关闭后, P1B 和 P1D 引脚状态</u> 00 = 输出 0 01 = 输出 1 1x = 三态		ECCPAS[1:0]		RW-00
AUX1EN	<u>PWM 辅助功能 (半桥模式下有效)</u> 1 = 使能 0 = 禁止		PWM1AUX[7]	0x90	RW-0
P1OS	<u>PWM 单脉冲输出 (当 AUX1EN=1 时有效)</u> 1 = 使能 (输出一次脉冲后自动停止, P1x 为 GPIO) 0 = 关闭 (PWM 连续输出)		PWM1AUX[6]		RW-0
P1FOE	P1F 输出	1 = 使能 (PWM 输出) ¹ 0 = 禁止 (GPIO)	PWM1AUX[5]		RW-0
P1EOE	P1E 输出		PWM1AUX[4]		RW-0
P1DOE	P1D 输出		PWM1AUX[3]		RW-0
P1COE	P1C 输出		PWM1AUX[2]		RW-0
P1BOE	P1B 输出		PWM1AUX[1]		RW-0
P1AOE	P1A 输出		PWM1AUX[0]	RW-0	

表 10-4 PWM(增强)相关用户控制寄存器

名称	状态	寄存器	地址	复位值
GIE	<u>全局中断</u> 1 = 使能 (PEIE, CCP1IE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	<u>外设总中断</u> 1 = 使能 (CCP1IE 适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
CCP1IE	<u>CCP1 捕捉/匹配中断控制</u> 1 = 使能 0 = 关闭 (无唤醒)	PIE2[0]	0x8D	RW-0
CCP1IF	<u>CCP1 捕捉/匹配中断标志</u> 1 = 发生捕捉/匹配 (锁存) 0 = 未发生捕捉/不匹配	PIR2[0]	0x0D	RW-0

表 10-5 ECCP 中断使能和状态位

¹ 当 P1OS = 1 时, 此位将在下一个 PWM 周期到来时自动清 0;

10.2 捕捉模式

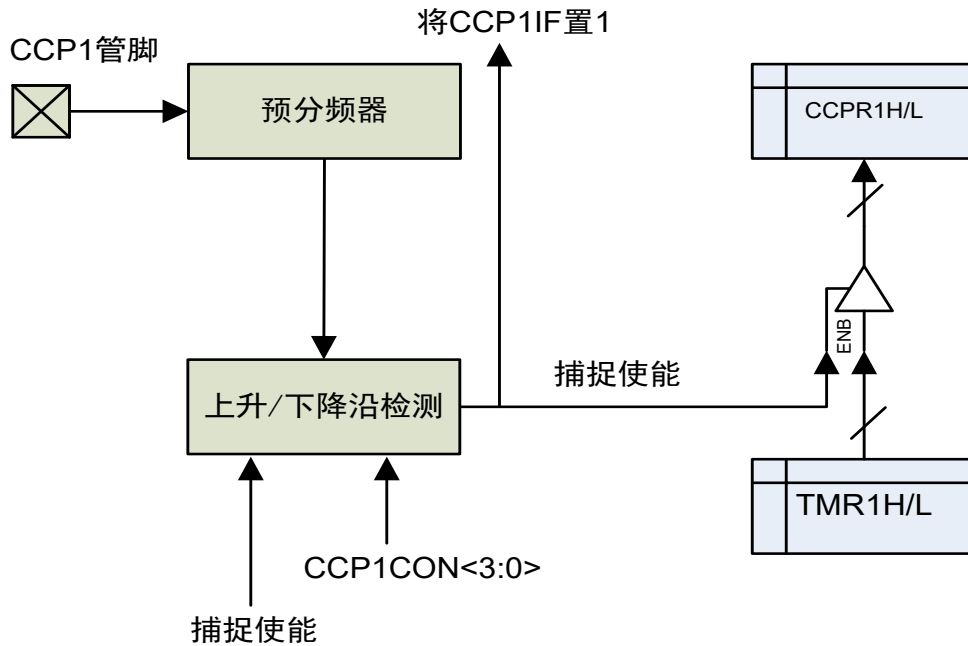


图 10-1 捕捉模式结构框图

捕捉模式，即对 CCP1 引脚的事件进行捕捉，可配置的 4 种捕捉事件 (参阅“ CCP1M”) 如下：

- 每 1 个下降沿
- 每 1 个上升沿
- 每 4 个上升沿
- 每 16 个上升沿

发生捕捉时，CCPR1H:CCPR1L 捕捉 TMR1H:TMR1L 的值，中断标志位 CCP1IF 置 1，是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(GIE, PEIE, CCP1IE)。

注：

1. 捕捉模式，CCP1(PC5)引脚需配置为输入。如果 CCP1 配置为输出，PORTC[5]写入相应的值将产生一次捕捉事件。
2. 发生捕捉后，如果在读 CCPR1H:CCPR1L 寄存器之前又发生另一次捕捉，则捕捉值将被更新；
3. 当更改捕捉事件时，需先设置 CCP1M=0000 以关闭 ECCP 模块，以免误触发中断。当产生任何复位、ECCP 模块关闭或切换到其他模式时，捕捉事件的预分频器将被清零。

10.3 比较模式

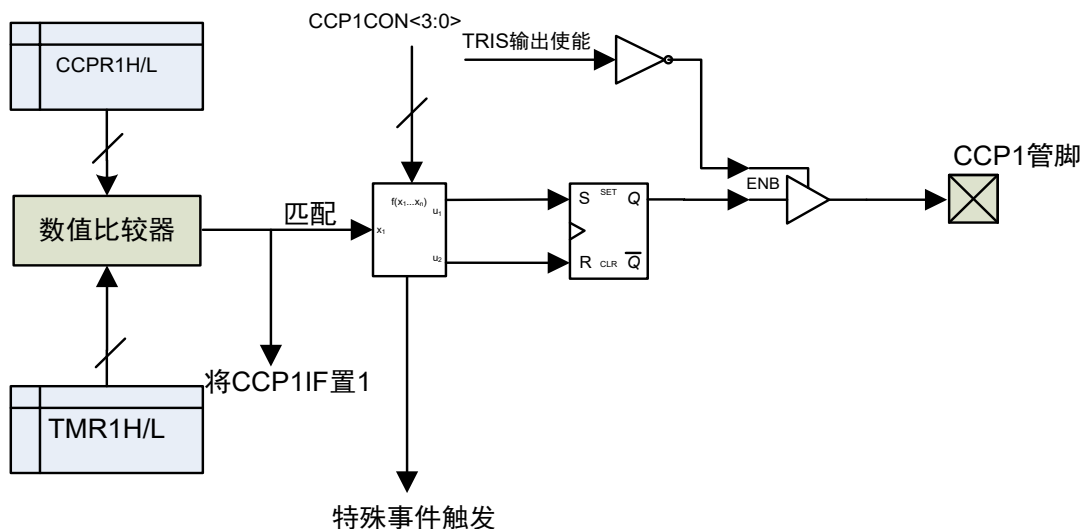


图 10-2 比较模式结构框图

比较模式，即持续对 CCPR1H:CCPR1L 和 TMR1H:TMR1L 的值进行比较，匹配时，可配置为产生以下事件 (参阅“ CCP1M”):

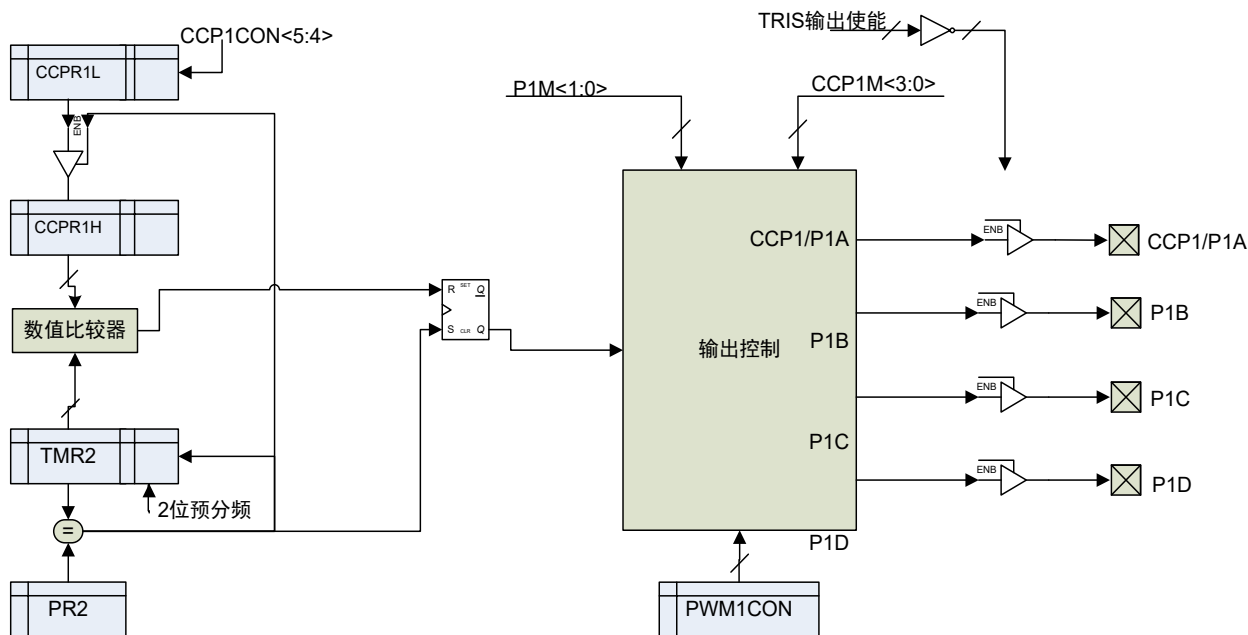
- CCP1 翻转输出
- CCP1 输出高
- CCP1 输出低
- CCP1 引脚不受影响
- 触发特殊事件 (CCP1 引脚不受影响)
 - TMR1H:TMR1L 清零 (中断标志位 TMR1IF 不会置 1)
 - 若 ADC 使能，则启动一次 ADC 转换

发生匹配时，中断标志位 CCP1IF 置 1，是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位 (GIE, PEIE, CCP1IE)。

注:

1. 比较模式，CCP1(PC5)引脚需配置为输出。
2. 特殊事件触发时，TMR1H:TMR1L 寄存器在 Timer1 时钟的下一个上升沿到来之前不会清零，此刻更改 CCPR1H:CCPR1L 的值将清除匹配条件，即 CCPR1H:CCPR1L 可作为 Timer1 的 16 位可编程周期寄存器。
3. 当对 TMR1H:TMR1L 的写操作与 ECCP 特殊事件触发同时发生时，写操作具有优先权；

10.4 PWM 增强模式



注：8 位定时器 TMR2 寄存器与 2 位预分频器组成 10 位时基。

图 10-3 增强型 PWM 结构框图

增强型 PWM 模式特性：

- 单 PWM：P1A
- 半桥 PWM：
 - 带死区控制的互补输出：P1A, P1B
 - 辅助功能 (3 对带死区控制的互补输出、单脉冲输出)：P1A, P1B, P1C, P1D, P1E, P1F
- 全桥 PWM (正向、反向)：P1A, P1B, P1C, P1D
- 10-bit 分辨率
- PWM 输出极性可选
- 自动关闭、自动重启模式

SLEEP 模式下，Timer2 将停止计数，PWM 输出将保持其进入 SLEEP 前的状态。

注：

1. Timer2 可用于增强型 PWM 模式，或慢时钟测量，但二者不能同时使用；

10.4.1 周期

PWM 周期由 Timer2 的 PR2 周期寄存器决定，如公式 10-1：

公式 10-1 $PWM \text{ 周期} = (PR2+1) * 4 * T_{T2CK} * (TMR2 \text{ 预分频值})$ (T2CK 为 Timer2 时钟源)

当 TMR2 递增至与 PR2 相等时，在下一个递增周期：

1. TMR2 复位为 0x00；
2. PWM 占空比高 8 位从 CCPR1L 锁存到 CCPR1H；
3. PWM 通道 P1A~P1D，按其所选极性，输出置 1 或清 0；

10.4.2 占空比

PWM 占空比由(CCPR1L, DC1B)设置，CCPR1L 为高 8 位，DC1B 为低 2 位。由于内部的双缓冲设计，CCPR1L 和 DC1B 寄存器可在任何时刻被更新写入。

PWM 脉宽和占空比计算公式如下：

公式 10-2 $脉宽 = (CCPR1L:DC1B) * T_{T2CK} * (TMR2 \text{ 预分频值})$

公式 10-3 $占空比 = (CCPR1L:DC1B) \div (4 * (PR2 + 1))$

10.4.3 PWM 输出

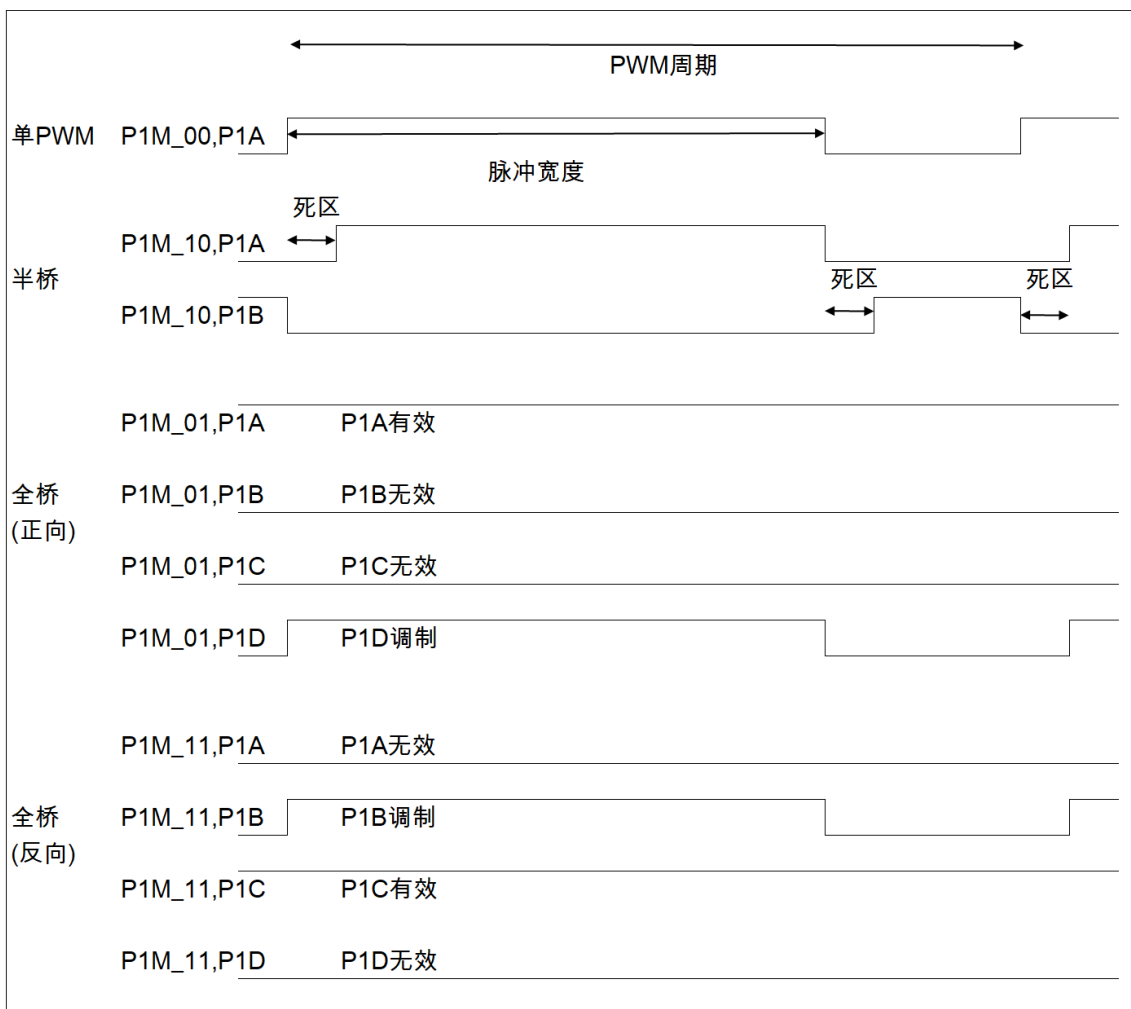


图 10-4 PWM 输出关系示意图 (P1A~P1D 高电平有效)

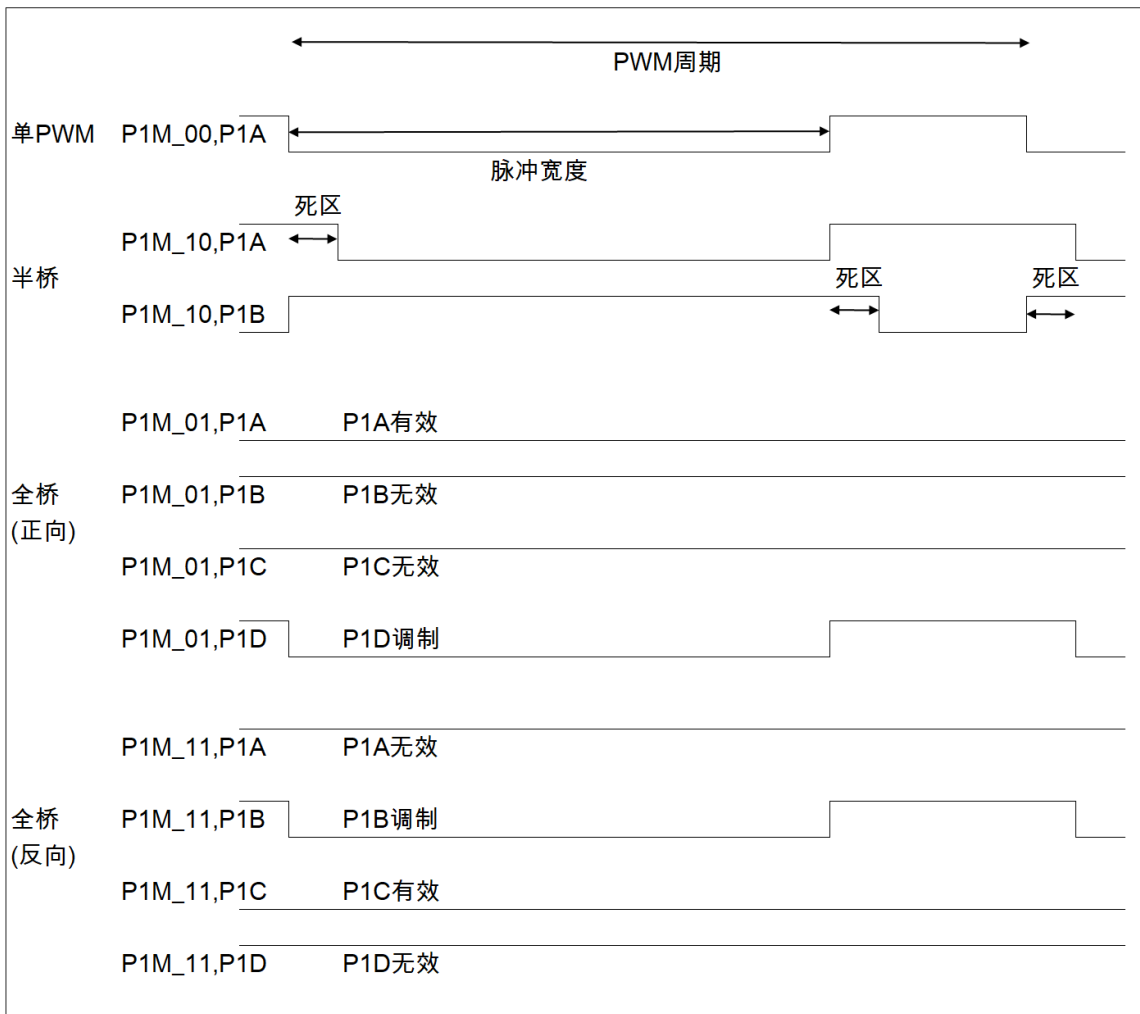


图 10-5 PWM 输出关系示意图 (P1A~P1D 低电平有效)

单 PWM — 1 路 PWM 通道 P1A。

半桥 PWM — 2 路带死区控制的互补 PWM 通道 P1A 和 P1B。死区时间 (参阅“PDC”) 应合理设置，以避免多个功率开关同时导通和关闭的瞬间引起穿通电流。另外，可通过外接 4* NMOS，或 2*PMOS 加 2*NMOS，以驱动全桥电路。应用示例如图 10-6，图 10-7 和图 10-8。

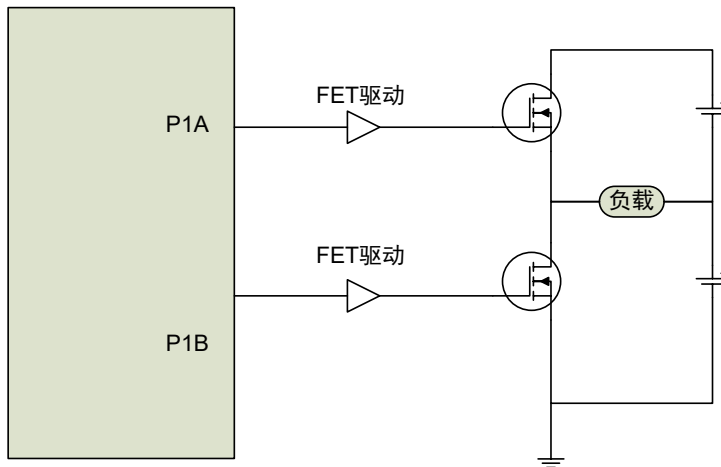


图 10-6 标准半桥电路 (推挽, P1A~P1B 高电平有效)

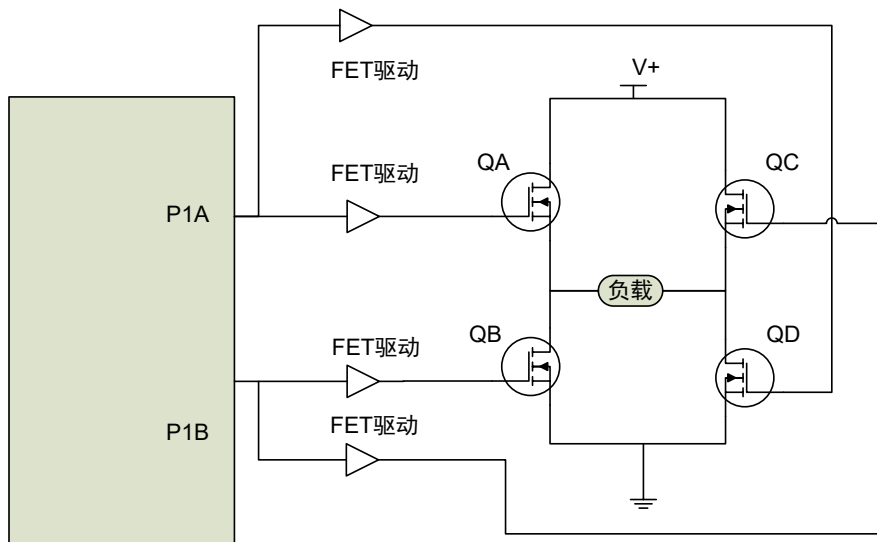


图 10-7 半桥输出驱动全桥电路 (4NMOS, P1A~P1B 高电平有效)

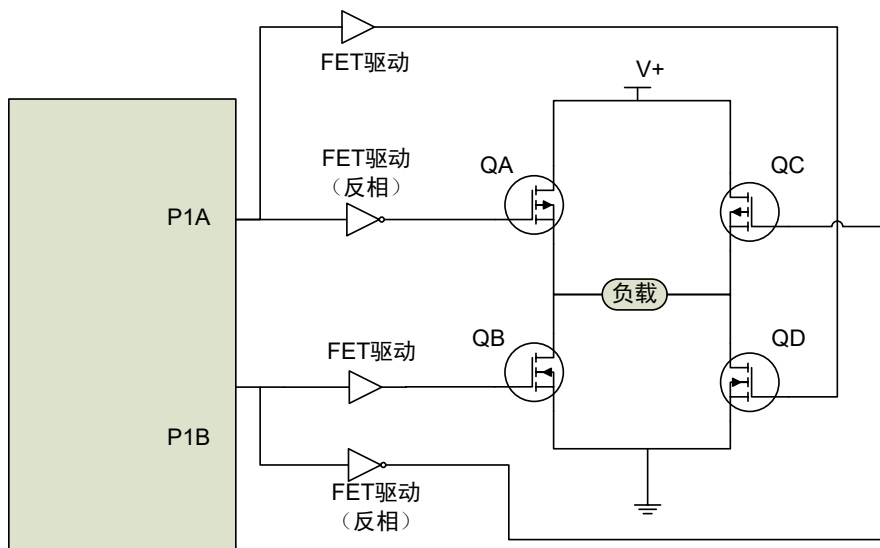


图 10-8 半桥输出驱动全桥电路 (2PMOS+2NMOS, P1A~P1B 高电平有效)

全桥 PWM (正向、反向)— 4 路 PWM 通道 P1A, P1B, P1C, P1D。应用示例如图 10-9。

全桥模式下，软件可在 PWM 周期的任何时刻写入 P1M 寄存器来切换正/反向，PWM 模块将在下一个周期改变方向。改变方向时，P1B 和 P1D 调制波形会有一段 $4 \cdot T_{T2CK}$ 的延时。应用示例如图 10-10，输出波形如图 10-11。

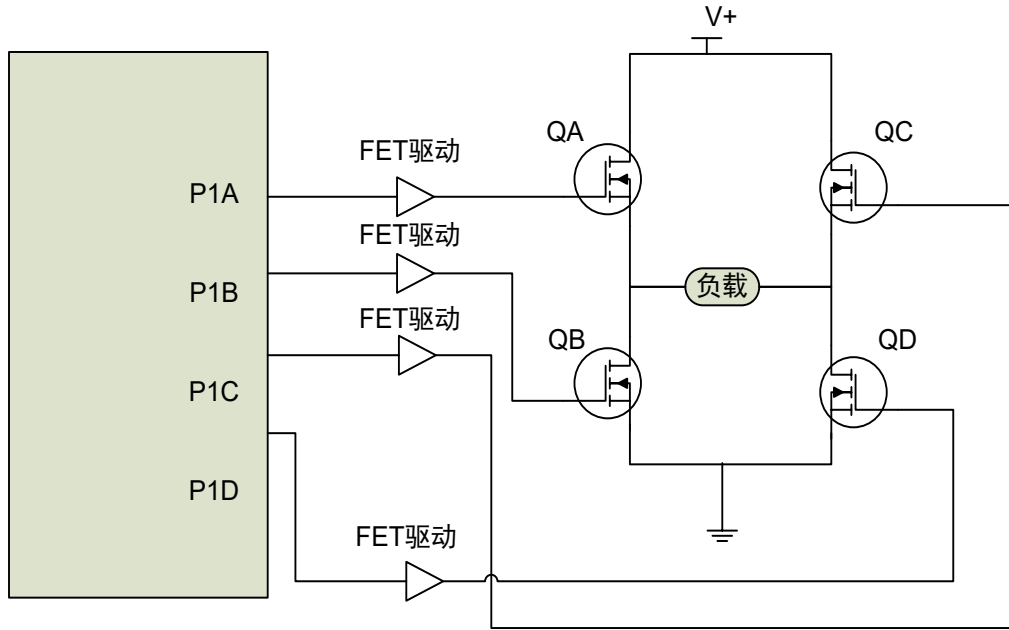


图 10-9 全桥应用示例 (4NMOS, P1A~P1D 高电平有效)

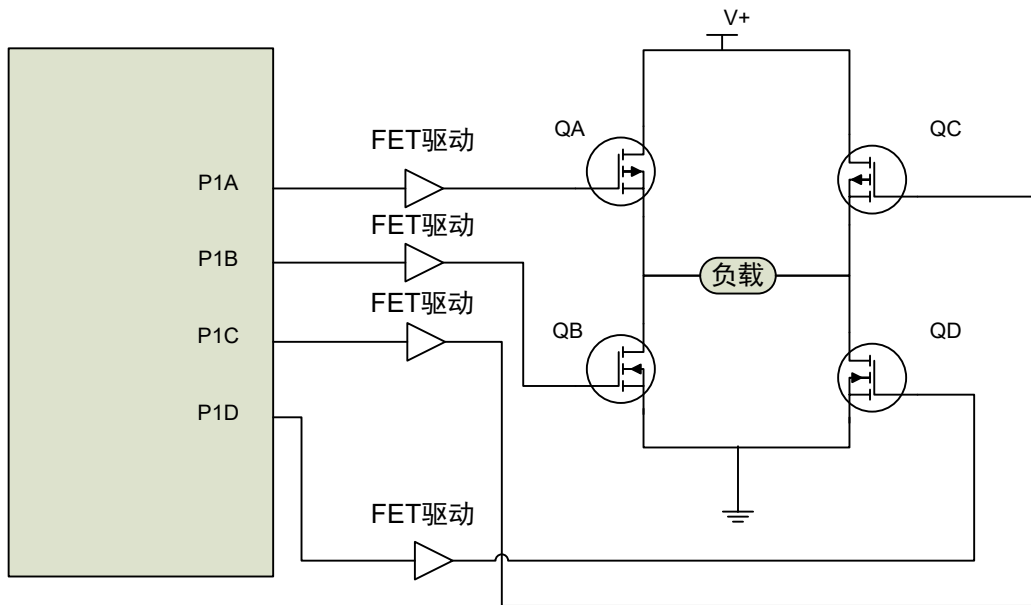


图 10-10 全桥应用示例 (2 PMOS+2NMOS, P1A 和 P1C 低电平有效, P1B 和 P1D 高电平有效)

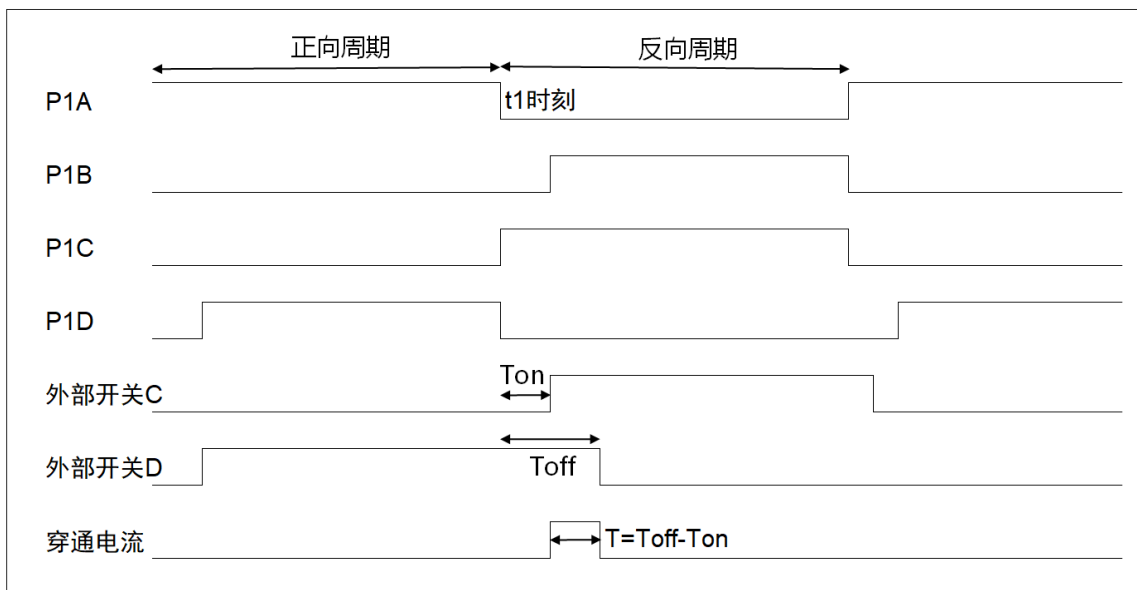


图 10-11 全桥 PWM 输出波形 (P1A 和 P1C 低电平有效, P1B 和 P1D 高电平有效)

全桥模式无死区延时。一般情况下, 调制输出也不需要死区延时。但当以下两个条件同时成立时, 则需要特别注意:

1. 占空比接近或达到 100%时, PWM 输出方向改变;
2. 功率开关(包括功率器件和驱动器电路)的关断时间大于导通时间;

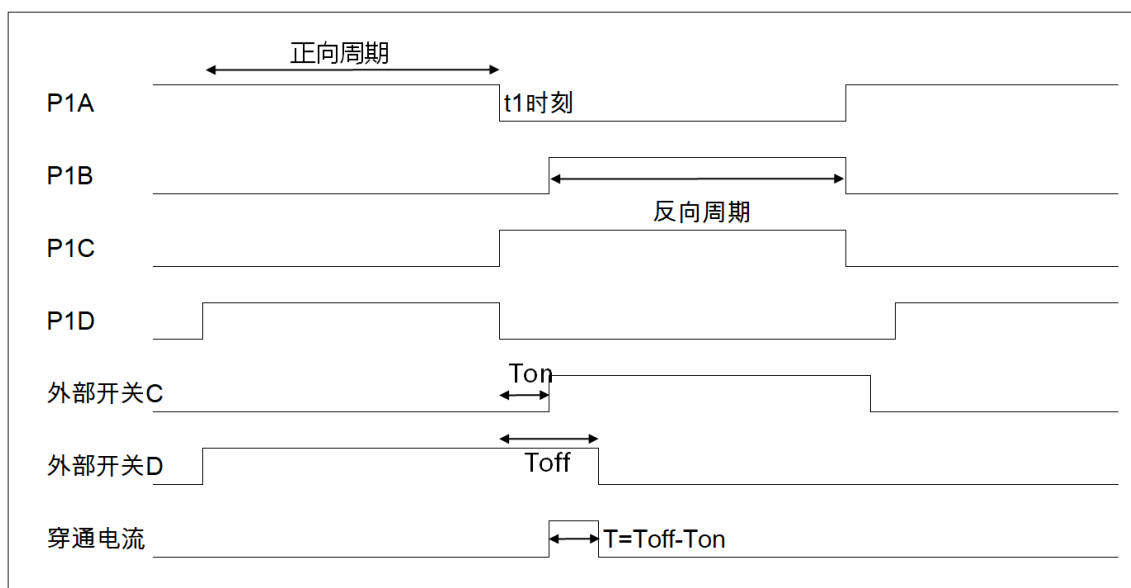


图 10-12 占空比接近 100%时, PWM 方向变化示例(P1A~P1D 为高电平有效)

如图 10-12 所示, P1D 的占空比接近 100%时, PWM 从正向切换为反向。在 t1 时刻, P1A 和 P1D 输出变为无效, 而 P1C 输出变为有效。而由于功率器件的关断时间(T_{off})大于导通时间(T_{on}), 穿通电流将流过功率器件 QC 和 QD (如图 10-9), 并持续时间“ T ($T_{off}-T_{on}$)”。当 PWM 方向由反向切换为正向时, 同样的情况将发生在功率器件 QA 和 QB 上。可消除穿通电流的两种方法如下:

1. 改变方向前, 减小 PWM 占空比。
2. 使用关断时间小于导通时间的开关驱动器。

10.4.4 PWM 自动关闭和自动重启

增强型 PWM 支持自动关闭和自动重启(参阅“PRSEN”)。

当发生外部关闭事件时，PWM 将停止输出。自动关闭源(参阅“ECCPAS[2:0]”)如下：

- 比较器 1 输出(C1OUT)变高
- 比较器 2 输出(C2OUT)变高
- 比较器 1/2 输出(CxOUT)变高
- INT 引脚电压为低
- INT 引脚电压为低，或比较器 1 输出(C1OUT)变高
- INT 引脚电压为低，或比较器 2 输出(C2OUT)变高
- INT 引脚电压为低，或比较器 1/2 输出(CxOUT)变高

发生关闭事件时，将发生如下情况：

1. ECCPASE 置 1。ECCPASE 将保持置 1 直至软件清零或发生了自动重启。
2. PWM 输出引脚置于预设状态(参阅“PSSAC”, “PSSBD”)：
 - 输出高
 - 输出低
 - 三态 (高阻态)

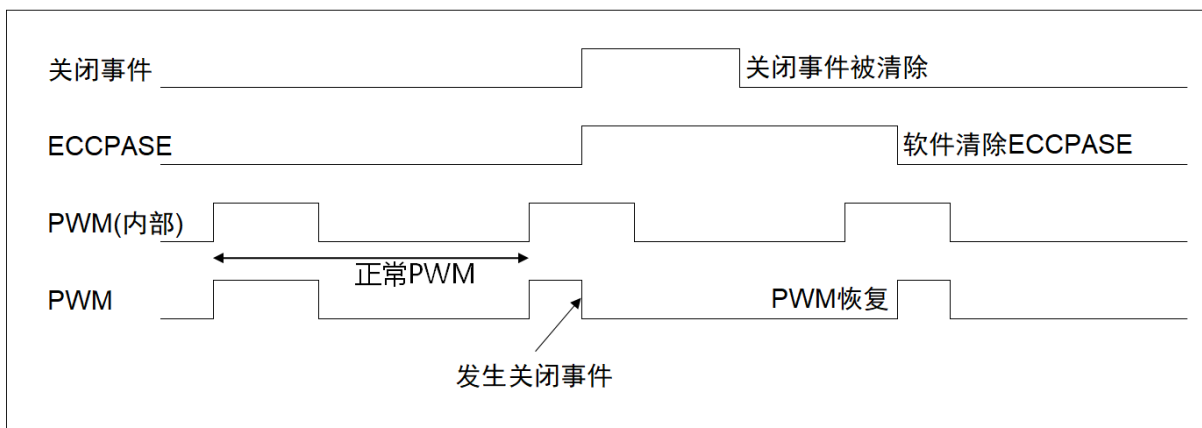


图 10-13 PWM 自动关闭时，非自动重启

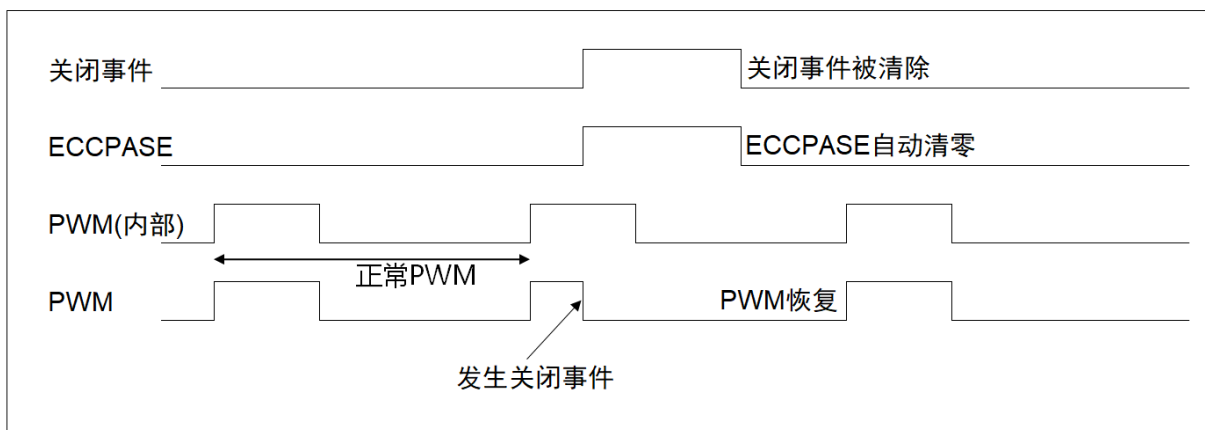


图 10-14 PWM 自动关闭时，自动重启

注:

1. 自动关闭事件基于电平信号，而非边沿。只要电平保持不变，自动关闭条件就保持。
2. 当自动关闭条件有效时，PWM 停止输出但 Timer2 计数继续运行，当自动关闭条件被清除时，PWM 将立即恢复输出。
3. 自动关闭条件被清除前，ECCPASE 将保持置 1，软件无法清零。
4. 当自动关闭条件被清除时：
 - 自动重启模式(PRSEN=1)下，ECCPASE 将被硬件自动清零，PWM 输出信号自动重启。
 - 非自动重启模式(PRSEN=0)下，ECCPASE 必须由软件清零，以重启 PWM 输出。
5. 关闭状态由 ECCPAS 寄存器的 ECCPASE (自动关闭事件状态) 位标示。若 ECCPASE = 0，PWM 引脚正常工作，若 ECCPASE = 1，PWM 输出关闭。

10.4.5 PWM 辅助功能

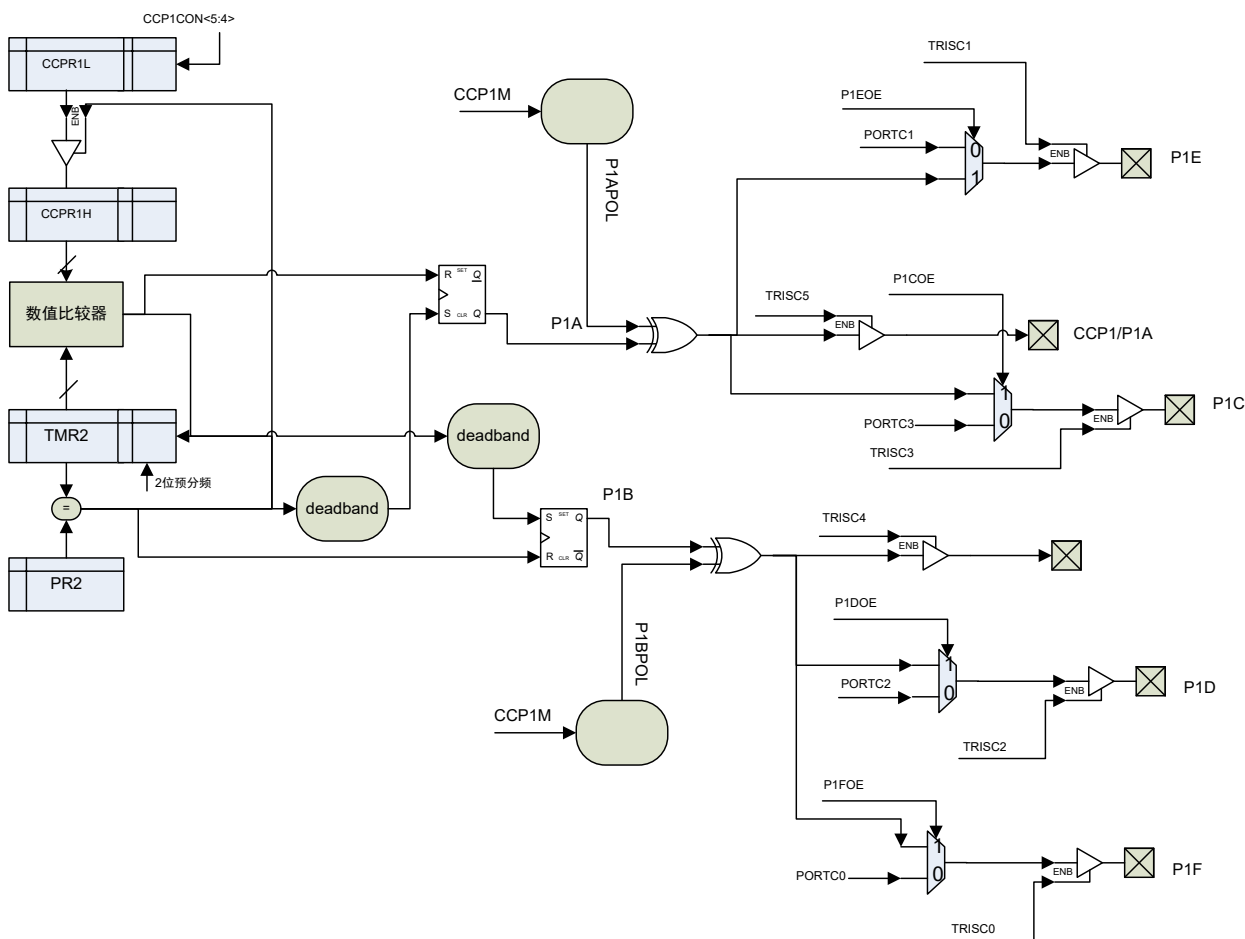


图 10-15 PWM 辅助功能原理框图

增强型 PWM 工作在半桥模式下时，可通过设置 PWM1AUX 寄存器，实现以下辅助功能：

- 同时最多可有 3 对带死区控制的互补输出(当 P1xOE=1 时)：P1A, P1B, P1C, P1D, P1E, P1F；
- 单脉冲模式(当 P1OS=1, 且 P1xOE=1 时)：输出一次 PWM 信号后，P1xOE 自动清零，PWM 输出自动关闭；
- 输出极性可选 (参阅 CCP1M)；

注：

1. P1A 和 P1B 为第 1 对带死区时间的半桥 PWM 输出，另外 2 对 P1C 和 P1D、P1E 和 P1F 与第 1 对波形相同，如 [图 10-16](#)；
2. 单脉冲模式下，输出一次脉冲波形后，P1xOE 自动清零，但 PWM 计数器保持运行，如果软件再次将 P1xOE (x=A~F) 置 1，则在下一个 PWM 周期，PWM 引脚 P1x (x=A~F) 将再次输出一次脉冲波形，如 [图 10-17](#)。

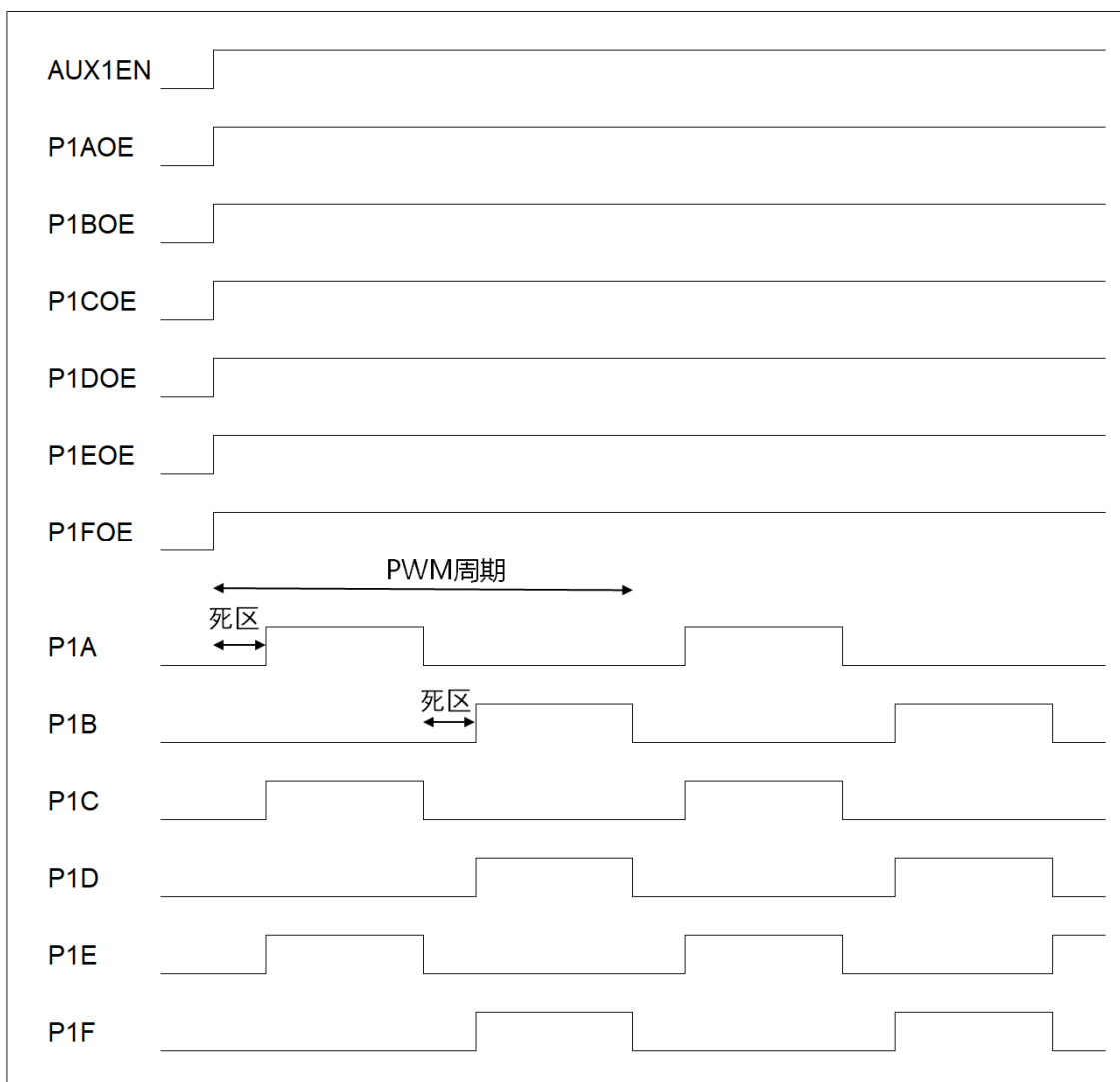


图 10-16 3 对 PWM 输出 (辅助功能)

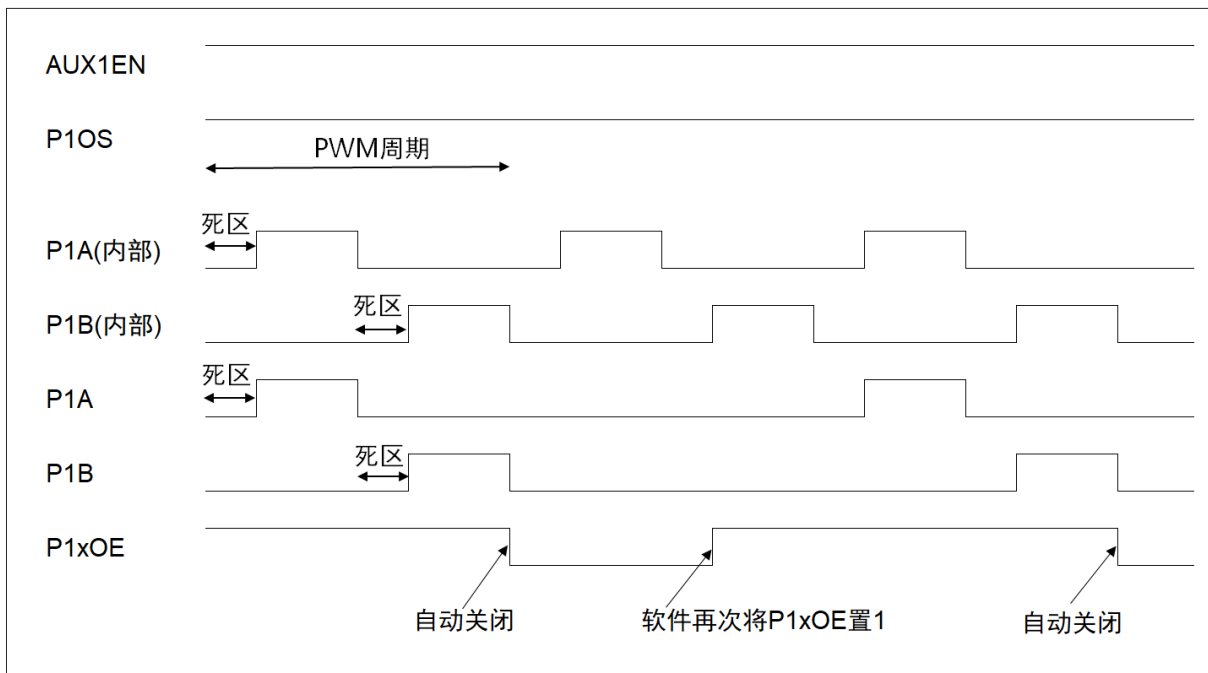


图 10-17 PWM 单脉冲输出 (辅助功能)

10.4.6 PWM 配置步骤

1. 将相关 PWM 引脚配置成输入($TRISx=1$)，硬件电路上必须外接适当的上拉/下拉电阻，以关断功率开关；
2. 设置 PWM 周期 (参阅“PR2”)；
3. 将 ECCP 模块配置为 PWM 模式，并选择输出模式和极性 (参阅“P1M”，“CCP1M”)；
4. 设置 PWM 占空比 (参阅“CCPR1L”，“DC1B”)；
5. 配置 Timer2：
 - a. 清除 TMR2IF 中断标志位；
 - b. 设置 Timer2 预分频比 (参阅“T2CKPS”)；
 - c. 选择 Timer2 时钟源 (参阅“T2CKSRC”)；
 - d. 使能 Timer2 (参阅“TMR2ON”)；
6. 等待 1 个 PWM 周期后，使能 PWM 输出：
 - a. 等待 Timer2 溢出(TMR2IF 置 1)；
 - b. 如需要，使能半桥模式下的辅助功能(参阅“AUX1EN”，“P1OS”，“P1xOE”)；
 - c. 将相关 PWM 引脚配置成输入($TRISx=0$)；

注：

1. PWM 输出时，不建议更改输出极性，避免损坏应用电路。
2. 如需停止 PWM 输出，不能简单地通过关闭 ECCP 模式($CCP1M=0$)的方式，因为此时 I/O 还处于输出状态，且其输出值不确定。停止 PWM 输出的两种方法如下：
 - a. 将相关 PWM 引脚配置成输入($TRISx=1$)，并外接适当的上拉/下拉电阻。
 - b. 将 ECCPASE 置 1，且 $ECCPAS[2:0] \neq 000$ ，使 ECCP 输出处于关闭状态。

11. 数据 EEPROM (DATA EEPROM)

FT61F02x 片内集成有 256 x 8-bit 的非易失性 DATA EEPROM 存储区，并独立于主程序区。此数据存储区的典型擦写次数可达 100 万次。可通过指令进行读/写访问，每次可读取或写入的单位为 1 个 byte (8-bit)，没有页模式(page mode)。擦除/编程实现了硬件自定时，无需软件查询，以节省有限的代码空间。因此写操作可在后台运行，不影响 CPU 执行其他指令，甚至可进入 SLEEP 状态。读操作需要 1 个指令时钟周期，而写操作需要的时间为 $T_{WRITE-EEPROM}$ (2 ~ 4 ms)。芯片内置有电荷泵，因此不需要提供外部高压，即可对 EEPROM 区进行擦除和编程。写操作完成时将置位相应的中断标志位 EEIF。

不支持连续读(sequential READ) 或连续写(sequential WRITE)，因此每次读/写都必须更新相应的地址。

只要 $V_{DD} \geq V_{POR}$, CPU 即可在 8 MHz / 2T 的速度下运行, 在高温下甚至可低至 1.5V 左右。而写 DATA EEPROM 所需的电压($V_{DD-WRITE}$) 较高。工作温度等级 2 和等级 1 的最低 $V_{DD-WRITE}$ 分别为 1.9V 和 2.2V。读 DATA EEPROM 没有此最低电压限制(参阅 $V_{DD-READ}$)。

11.1 DATA EEPROM 相关寄存器汇总

名称	状态	寄存器	地址	复位值
EEDAT	DATA EEPROM 数据	EEDAT[7:0]	0x9A	RW-0000 0000
EEADR	DATA EEPROM 地址	EEADR[7:0]	0x9B	RW-0000 0000
WREN3	<u>DATA EEPROM 写使能 (bit 3)</u> 111 = 使能, 完成后重置为 000 (其他) = 关闭	EECON1[5]	0x9C	RW-0
WREN2	DATA EEPROM 写使能 (bit 2)	EECON1[4]		RW-0
WRERR	<u>DATA EEPROM 写错误标志位</u> 1 = 中止 (发生 MCLR 或 WDT 复位) 0 = 正常完成	EECON1[3]		RW-x
WREN1	DATA EEPROM 写使能 (bit 1)	EECON1[2]		RW-0
RD	<u>DATA EEPROM 读控制位</u> 1 = 使能 (保持 4 个 SysClk 周期, 然后清零) 0 = 关闭	EECON1[0]		RW-0
WR	<u>DATA EEPROM 写控制位</u> 1 = 启动一次写或写正在进行中 (完成后重置为 0) 0 = 完成	EECON2[0]		0x9D

表 11-1 EEPROM 相关用户控制寄存器

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, EEIE 适用) 0 = <u>全局关闭</u> (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断	1 = 使能 (EEIE 适用) 0 = <u>关闭</u> (无唤醒)	INTCON[6]		RW-0
EEIE	EEPROM 写完成中断	1 = 使能 0 = <u>关闭</u> (无唤醒)	PIE1[7]	0x8C	RW-0
EEIF	EEPROM 写完成中断标志位	1 = Yes (锁存) 0 = <u>No</u>	PIR1[7]	0x0C	RW-0

表 11-2 EEPROM 中断使能和状态位

11.2 写 DATA EEPROM

1. 设置 “GIE = 0”;
2. 判断 GIE, 如果 “GIE = 1”, 则重复步骤 (1);
3. 将目标地址写入 EEADR;
4. 将目标数据写入 EEDAT;
5. 设置 “WREN3, WREN2, WREN1” = “1, 1, 1”, 并在整个编程过程中保持此设置;
6. 须立即设置 “WR = 1” 以启动写 (否则将中止);
7. 编程完成(编程时间请参阅 T_{WRITE-EEPROM}) 后, “WR” 和 “WREN3, WREN2, WREN1” 都将自动清 0;

示例程序:

```

BCR INTCON, GIE
BTSC INTCON, GIE
LJUMP $-2
BANKSEL EEADR
LDWI 55H
STR EEADR           ; 地址为 0x55
STR EEDAT           ; 数据为 0x55
LDWI 34H
STR EECON1          ; WREN3/2/1 同时置 1
BSR EECON2, 0       ; 启动写
BSR INTCON, GIE     ; GIE 置 1
    
```

注:

1. 当编程正在进行中时, 对 Data EEPROM 进行读操作将导致读取结果错误。
2. 如果编程完成前, WREN3, WREN2 或 WREN1 任意一位被清 0, 在下次编程前需清除 EEIF 标志位。

11.3 读 DATA EEPROM

将目标地址写入 EEADR 寄存器，然后启动读 (“RD = 1”)。在下 1 个指令时钟周期，EEPROM 数据被写入 EEDAT 寄存器。EEDAT 寄存器将保持此值直至下一次读或写操作。

读 DATA EEPROM 的示例程序如下：

```
BANKSEL EEADR  
LDWI dest_addr  
STR EEADR  
BSR EECON1, RD  
LDR EEDAT, W           ; 此时，数据可由指令读取
```

11.4 自动擦除功能

将数据写入字节(byte)的过程包括 2 步：先擦除字节，再编程字节。擦除操作将字节的所有 bits 擦成“1”，而编程操作会有选择地将个别 bits 写成“0”。本芯片内置自动擦除功能，即编程前会先自动执行擦除操作。

多次编程 FF 数据实际为多次擦除相应字节。然而多次编程非 FF 数据实际只对相应字节进行了一次编程，因为每次编程前都会先自动擦除。

12. 10-bit 模/数转换器 (ANALOG TO DIGITAL CONVERTER, ADC)

ADC 模块可将模拟输入信号转换成 10-bit 的数字信号。ADC 可在不同的时钟速度下运行，并且在高达 1 MHz 的时钟速度(即 60 kHz 的采样率，16 μ s/采样)下仍具有真正的 10-bit 精度。

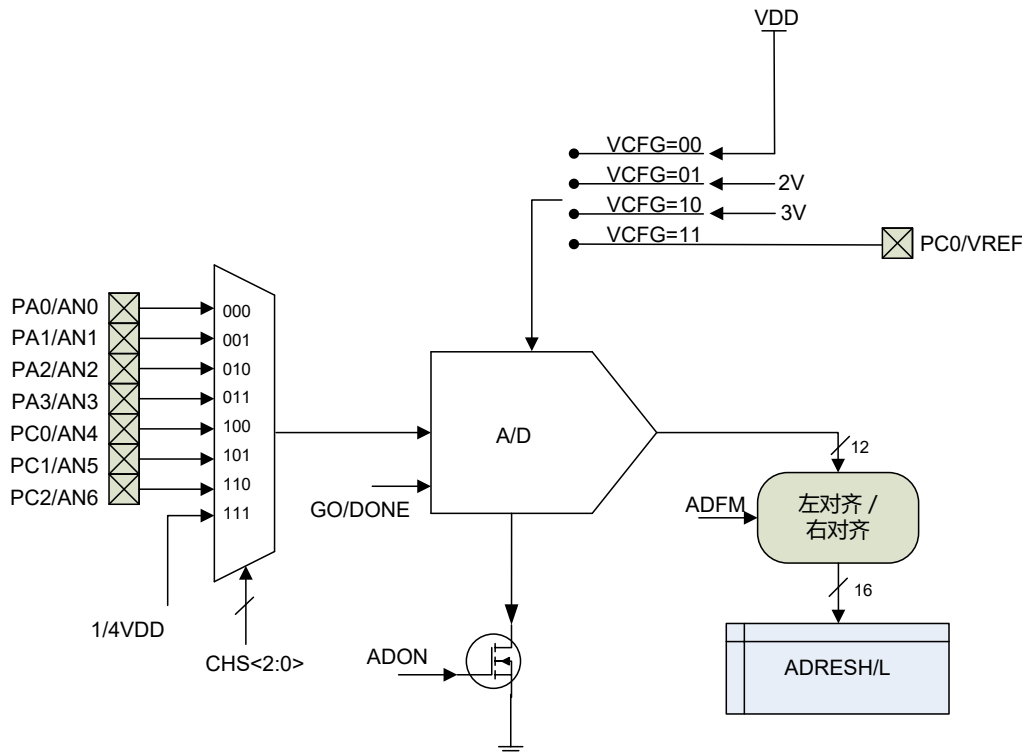


图 12-1 ADC 结构框图

模拟输入信号可选择为 7 个 I/O(ANx)通道之一或 1 个内部通道(Internal 1/4VDD)。ADC 由指令或 ECCP 特殊事件触发器触发。在触发和 ADC 采样之间可增加延时。

当 ADC 转换完成时，将置位相应的中断标志位，并可触发中断和/或从睡眠中唤醒。

ADC 参考电压($V_{ADC-REF}$) 通过指令选择为 V_{DD} ，2 个内部参考电压(2V, 3V) 之一，或通过 I/O 输入外部参考电压。

ADC 不需要校准。另外，ADC 转换过程在后台运行，转换期间 CPU 可执行其他指令。

如果 ADC 需要在 SLEEP 下保持运行，则其转换时钟源需选择为 LIRC (无分频)，否则进入 SLEEP 模式后 ADC 模块将自动关闭。

当 ADC 配置为硬件触发(ECCP 特殊事件触发器)时，GO/DONE 由硬件触发事件直接置位并启动 A/D 转换，软件置位 GO/DONE 将被忽略 (请参阅 章节 10 增强型捕捉/比较/PWM)。

在高采样率的应用中，使用 ADC 时需注意 3 个时间点：

1. 所选通道开始采样的时刻。
2. 结束采样的时刻。采样保持电路断开前的瞬间，所选通道上的电压值被用于测量转换。
3. 数据转换完成时间。

12.1 ADC 相关寄存器汇总

名称	状态		寄存器	地址	复位值
GIE	全局中断	1 = 使能 (PEIE, ADCIE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断	1 = 使能 (ADCIE 适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
ADIE	ADC 转换完成中断	1 = 使能 0 = 关闭 (无唤醒)	PIE2[1]	0x8D	RW-0
ADIF	ADC 转换完成中断标志位	1 = Yes (锁存) 0 = No	PIR2[1]	0x0D	RW-0

表 12-1 ADC 中断使能和状态位

名称	状态		寄存器	地址	复位值
ADRESL	<u>ADC 转换结果低有效位 (LSB)</u> ADFM=0: ADRESL[7:6] = 低 2 位 (其余为“0”) ADFM=1: ADRESL[7:0] = 低 8 位		ADRESL[7:0]	0x9E	RW-xxxx xxxx
ADRESH	<u>ADC 转换结果高有效位 (MSB)</u> ADFM=0: ADRESH[7:0] = 高 8 位 ADFM=1: ADRESH[1:0] = 高 2 位 (其余为“0”)		ADRESH[7:0]	0x1E	RW-xxxx xxxx
ADFM	<u>A/D 转换结果格式 (参阅“ADRESH”)</u> 1 = 右对齐 0 = 左对齐		ADCON0[7]	0x1F	RW-0
VCFG	<u>V_{ADC-REF} (参考电压)</u> 00 = V _{DD} 10 = 内部 3V 01 = 内部 2V 11 = 外部参考电压(I/O) (*) (*) 仅当 ANSEL[4] = 1 时有效;		ADCON0[6:5]		RW-00
CHS	<u>ADC 模拟输入通道</u> 000 = AN0 100 = AN4 001 = AN1 101 = AN5 010 = AN2 110 = AN6 011 = AN3 111 = 内部 1/4 V _{DD} (*) (*) 仅当 ANSEL[7] = 1 时有效;		ADCON0[4:2]		RW-000
GO/DONE	<u>ADC 转换启动和状态位</u> 1 = 由软件或 ECCP 启动 A/D 转换 (转换完成后自动清零) 0 = 转换完成 / 未进行转换		ADCON0[1]		RW-0
ADON	1 = ADC 使能 0 = ADC 关闭 (无电流消耗)		ADCON0[0]		RW-0
DIVS	<u>ADC 分频时钟源选择</u> 1 = LIRC 0 = Sysclk		ADCON1[7]	0x9F	RW-0

名称	状态	寄存器	地址	复位值	
ADCS	ADC 转换时钟源			ADCON1[6:4]	RW-000
	DIVS = 0 DIVS = 1				
	TSEL = 2T TSEL = 4T TSEL = 2T/4T				
	000 = Sysclk/2	000 = Sysclk/4	000 = LIRC/2		
	001 = Sysclk/8	001 = Sysclk/16	001 = LIRC/8		
	010 = Sysclk/32	010 = Sysclk/64	010 = LIRC/32		
	100 = Sysclk/4	100 = Sysclk/8	100 = LIRC/4		
	101 = Sysclk/16	101 = Sysclk/32	101 = LIRC/16		
110 = Sysclk/64	110 = Sysclk/128	110 = LIRC/64			
x11 = LIRC (*)	x11 = LIRC (*)	x11 = LIRC (*)			
(*) LIRC = 32kHz 或 256kHz, 取决于 LFMOD 的值					
ANSEL	1 = 关闭上拉/下拉, 及数字输入 (仅适用于 8 个 ADC 通道) 0 = (无动作)	ANSEL[7:0]	0x91	RW-1111 1111	

表 12-2 ADC 相关用户寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	Bit 2	bit 1	bit 0	复位值
ADRESL	0x9E	A/D 转换结果低有效位								xxxx xxxx
ADRESH	0x1E	A/D 转换结果高有效位								xxxx xxxx
ADCON0	0x1F	ADFM	VCFG<1:0>		CHS<2:0>			GO/DONE	ADON	0000 0000
ADCON1	0x9F	DIVS	ADCS<2:0>			-				0000 ----

表 12-3 ADC 相关用户寄存器地址

12.2 ADC 配置

配置 ADC 包括以下设置 (更改配置时需设置 ADON=0 以关闭 A/D 转换或外部触发):

- 通道选择
- ADC 参考电压
- ADC 转换时钟源
- 转换结果格式
- 触发源
- 响应 (中断设置)

通道选择 – 由 CHS 寄存器选择输入通道, 连接到用于 ADC 转换的采样保持电路。相应的 I/O 需设置 TRISx = 1 和 ANSELx = 1 来配置成模拟输入。

ADC 参考电压 ($V_{ADC-REF}$) – ADC 以正参考电压 V_{REF} 作为相对值来测量输入模拟电压, 负参考电压始终为 GND, 正参考电压可以选择为:

- VDD
- 内部参考电压 2V
- 内部参考电压 3V

- 外部参考电压 (V_{REF} 为 PC0)

ADC 转换时钟选择 – ADC 可通过指令选择 13 种时钟频率 (参阅 “ADCS”, 表 12-2):

- DIVS = 0 时为 SysClk/N ($TSEL = 2T$) 或 SysClk/2N ($TSEL = 4T$) 或 LIRC; N = 2, 4, 8, 16, 32, 64
- DIVS = 1 时为 LIRC/N; N = 1, 2, 4, 8, 16, 32, 64
- LIRC (256 kHz 或 32 kHz, 参阅 “LFMOD”, 表 6-2)

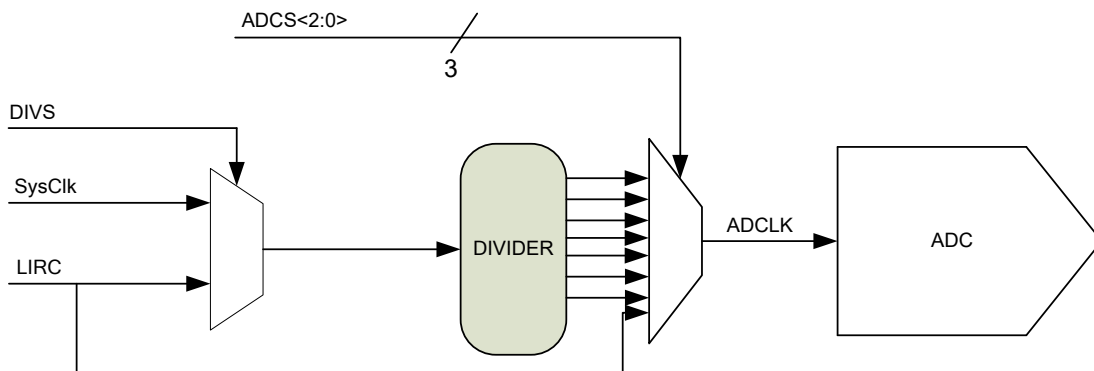


图 12-2 ADC 时钟配置

转换结果格式 – A/D 转换结果可储存为左对齐或右对齐两种格式 (参阅 “ADFM”, 表 12-2)。

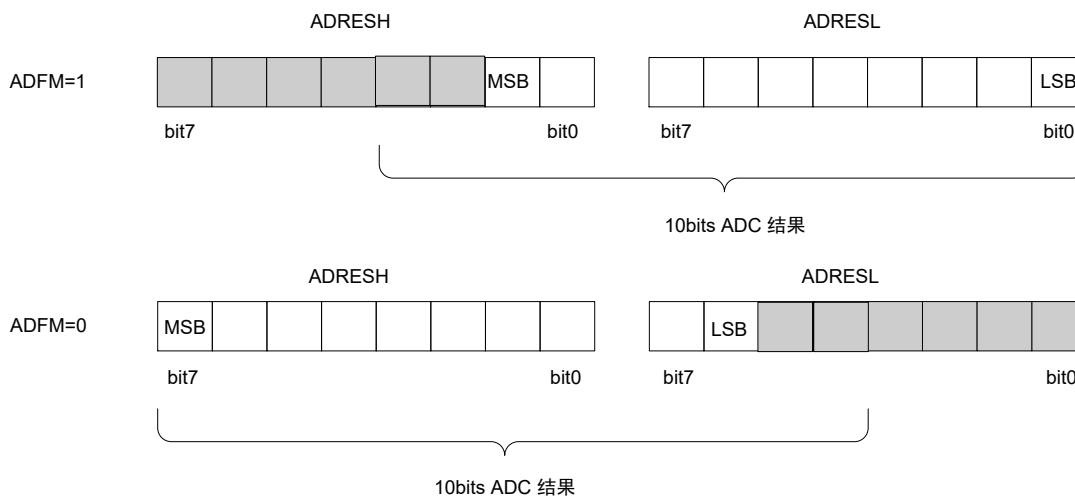


图 12-3 ADC 转换结果格式

12.2.1 ADC 触发

ADC 转换可由指令 ($GO/DONE = 1$) 或 ECCP 特殊事件触发器触发。GO/DONE 由指令置位后立即启动 A/D 转换。如果由 ECCP 特殊事件触发，当 TMR1H/L 与 CCPR1H/L 发生匹配时，则产生特殊事件触发输出，自动启动一次 ADC 转换。

注： ADC 转换完成前将忽略新的触发条件。

12.2.2 ADC 中止转换

有时需中止 ADC 转换，比如需启动新的 ADC 采样。

- 可通过软件设置 GO/DONE = 0 来中止 ADC。
- 当选择特殊事件触发时，必须通过关闭 ADC 模块(ADON = 0)来中止 ADC。
- 当 ADC 转换被中止时，ADRESH 和 ADRESL 不会被更新，而是保持前一次的转换结果值。
- 系统复位时，由于相应的寄存器被复位，因此 ADC 将中止，且 ADC 模块被关闭。

12.2.3 中断

ADC 转换完成时将置位中断标志位 ADCIF。是否触发中断和/或从睡眠中唤醒则取决于相应的中断使能控制位(GIE, PEIE, ADCIE)。

12.3 ADC 采样保持时间

采样保持时间 T_{ACQ} ，必须足够长以保证内部 ADC 电压稳定在输入通道电压的 0.01% 误差以内，以达到 10bit 的精度(0.097%)。采样时间和外部串联电阻的关系如下(表 12-4)：

$$T_{ACQ} > 0.09 \times (R + 1) \mu s; R \text{ 的单位为 } k\Omega.$$

当采样时间 T_{ACQ} 为 2 μs 时，外部串联电阻必须 $\leq 21k\Omega$ 。如果使用更大的串联电阻，则 T_{ACQ} 将成比例增加。结点漏电流限制了允许使用的最大串联电阻值。对于 5nA 的结点漏电流，在 50 k Ω 的串联电阻上将产生 0.25mV (2V 参考电压的 0.0125%) 的压降。而当温度超过 100 $^{\circ}C$ 时，结点漏电流将大幅提高。因此，串联电阻越小越好。

串联电阻值	T_{ACQ}
> 50 k Ω	(不推荐)
43 k Ω	$\geq 4.0 \mu s$
21 k Ω	$\geq 2.0 \mu s$
< 21 k Ω	$\geq 2.0 \mu s$

表 12-4 不同的外部串联电阻与最短 T_{ACQ} 的对应关系

采样保持时间即为内部 ADC 观测输入通道电压的时间。

采样保持时间的开始 = 通道切换(参阅“CHS”)后或 ADC 稳定(参阅 T_{ST})后，以时间较长者为准。

采样保持时间的结束 = CCP1 触发或软件 GO/DONE 置 1 后的 T_{SysClk} / N ¹ (N = 2 for 2T, 4 for 4T) 时间，同时采样保持电路断开。

采样点 = 采样保持电路断开前的瞬间。

采样断开后开始数据转换，转换过程需 13.5 x T_{AD} 到 14.5 x T_{AD} 时间。因此从 CCP1 触发或软件 GO/DONE 置 1 后到数据转换完成需要 13.5 x T_{AD} 到 14.5 x T_{AD} ² 时间。数据转换完成后，采样保持电路重新闭合，开始下一个采样周期，同样需等待足够长的采样时间 T_{ACQ} 后，才能再次启动 A/D 转换。

12.4 ADC 最短采样时间

T_{AD} 为 ADC 的时钟周期。完整的 10-bit 转换所需最短时间：

$$T_{ACQ} + 14.5 \times T_{AD}$$

¹ $T_{SysClk} / N = 0.125\mu s$ (16M/2T) 或 $0.250\mu s$ (16M/4T);

² GO 置 1 到采样断开的过程 (T_{SysClk} / N 时间) 与 GO 置 1 后同步的过程 (2 – 3 x T_{AD} 时间) 同时发生;

可保证真正 10-bit 精度的最高转换采样率约为 60 kHz (~16 μs/采样)。

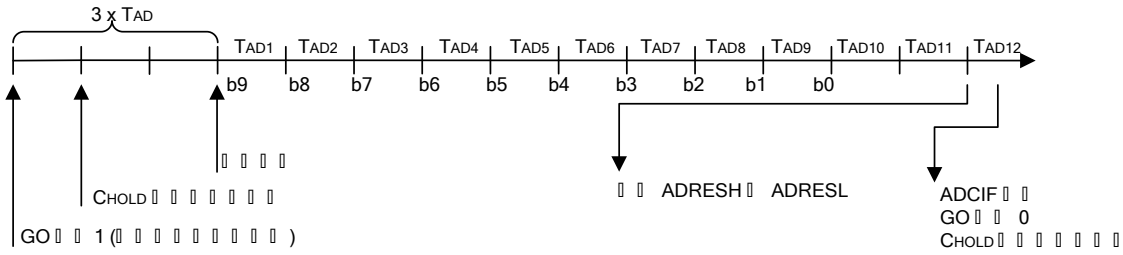


图 12-4 模数转换 T_{AD} 周期

12.5 ADC 转换步骤示例

设置 ADC:

1. 配置端口:
 - a. 设置 $TRISx = 1$, 禁止引脚输出驱动
 - b. 设置 $ANSELx = 1$, 关闭数字输入、弱上拉和弱下拉功能
2. 配置 ADC 模块:
 - a. 选择 ADC 转换时钟源
 - b. 选择 ADC 参考电压
 - c. 选择 ADC 触发条件: GO/DONE 或 CCP1 特殊事件触发
 - d. 选择转换结果格式
3. 配置 ADC 中断(可选):
 - a. 使能 ADC 中断
 - b. 使能外设总中断
 - c. 关闭全局中断(如需执行中断服务程序则使能)
4. 打开 ADC 模块。然后等待所需 ADC 稳定时间 T_{ST} (~15 μs), 当 $V_{ADC-REF}$ 选择内部参考电压时, 则需等待内部参考电压的稳定时间 T_{VRINT} (参阅“ T_{VRINT} ”, 章节 18.7) 和 T_{ST} 时间的较长者, 即 $\max(T_{VRINT}, T_{ST})$ 。

至此, ADC 已准备好对不同的通道进行采样。对输入通道采样时:

1. ADC 输入选择为需测量的通道 (参阅“CHS”)。
2. 如有必要, 需清除 ADC 转换完成中断标志位。
3. 对采样时间 T_{ACQ} 有最低要求, T_{ACQ} 需足够长以保证内部 ADC 输入电容充满至输入通道电压的 0.01% 误差以内。另外取决于触发类型, 切换通道后或 ADC 稳定后(以时间较长者为准) 需要一定的延迟再触发。
 - a. 对于软件触发, 需要额外的 T_{ACQ} 时间。
 - b. 对于 ECCP 特殊事件触发, 同样需要额外的 T_{ACQ} 时间。

5. 等待所需的延迟后，由指令置位 GO/DONE，或等待 CCP1 特殊事件触发自动置位 GO/DONE，以启动 A/D 转换。
6. 通过以下方式等待 ADC 转换完成：
 - a. 查询 GO/DONE 位
 - b. 等待 ADC 中断 (使能中断时)
7. 读取 ADC 转换结果。
8. 如有必要，清除 ADC 转换完成中断标志位。

注：

1. 虽然 GO/DONE 和 ADON 在同一个寄存器(ADCON0)中，但不应同时设置。
2. ADC 转换过程中或等待特殊事件触发时，不可更改配置。建议在 ADON = 0 时进行更改。

以下为 ADC 程序示例 (输入采样通道为 PA0，ADC 时钟为 LIRC)：

```

BANKSEL ADCON1
LDWI B'00110000'           ; ADC LIRC clock
STR ADCON1

BANKSEL TRISA
BSR TRISA, 0               ; Set PA0 to input
BANKSEL ANSEL
BSR ANSEL, 0               ; Set-PA0 to analog

BANKSEL ADCON0
LDWI B'10000001'           ; Right justify,
STR ADCON0                 ; VDD, Vref, AN0, On

LCALL StableTime           ; ADC stable time
LCALL SampleTime          ; Acquisition delay, TACQ

BSR ADCON0, GO             ; Start conversion
BTSC ADCON0, GO           ; Conversion done?
LJUMP $-1                  ; No, test again

BANKSEL ADRESH;
LDR ADRESH, W              ; Read upper 2 bits
STR RESULTHI              ; Store in SRAM space
BANKSEL ADRESL;
LDR ADRESL, W              ; Read lower 8 bits
STR RESULTLO              ; Store in SRAM space
  
```

13. 比较器

FT61F02x 片内集成 2 个模拟比较器，可分别用于比较 2 个模拟输入电压值的大小并输出比较结果。比较器 C1/C2 可配置成多种输入输出连接模式，输出结果极性可选，并可输出到 I/O 引脚(PA2/PC4)，内部可编程参考电压 CV_{REF} 也可被用于比较器输入。比较器 C2 也可与定时器 Timer1 结合使用。

比较器在 SLEEP 下可保持运行(当 CM≠000 或 111)。当比较器 C1/C2 输出状态变化时，将置位相应的中断标志位，并可触发中断和/或从睡眠中唤醒。

13.1 比较器相关寄存器汇总

名称	状态	寄存器	地址	复位值
C2OUT	<u>比较器 C2 输出结果</u>		CMCON0[7]	RW-0
	当 C2INV = 0: 1 = $V_{IN+} > V_{IN-}$ 0 = $V_{IN+} < V_{IN-}$	当 C2INV = 1: 1 = $V_{IN+} < V_{IN-}$ 0 = $V_{IN+} > V_{IN-}$		
C1OUT	<u>比较器 C1 输出结果</u>		CMCON0[6]	RW-0
	当 C1INV = 0: 1 = $V_{IN+} > V_{IN-}$ 0 = $V_{IN+} < V_{IN-}$	当 C1INV = 1: 1 = $V_{IN+} < V_{IN-}$ 0 = $V_{IN+} > V_{IN-}$		
C2INV	<u>比较器 C2 输出极性</u>	1 = 反向 0 = 正常	CMCON0[5]	RW-0
C1INV	<u>比较器 C1 输出极性</u>	1 = 反向 0 = 正常	CMCON0[4]	RW-0
CIS	<u>比较器输入切换</u>		CMCON0[3]	0x19 RW-0
	当 CM = 001: 1 = C1 V_{IN-} 接 C1IN+(PA0) 0 = C1 V_{IN-} 接 C1IN- (PA1) 当 CM = 010: 1 = C1 V_{IN-} 接 C1IN+(PA0), C2 V_{IN-} 接 C2IN+(PC0) 0 = C1 V_{IN-} 接 C1IN- (PA1), C2 V_{IN-} 接 C2IN- (PC1)			
CM	<u>比较器模式</u>		CMCON0[2:0]	RW-000
	000 = 关闭 (CxIN 为模拟 IO 管脚) 001 = 2 个比较器, 公共参考端, 3 路输入 010 = 2 个比较器, 公共内部参考电压 CV_{REF} , 4 路输入 011 = 2 个比较器, 公共参考端, 2 路输入 100 = 2 个独立比较器 101 = 1 个独立比较器 110 = 2 个带输出比较器, 公共参考端, 2 路输入 111 = 关闭 (CxIN 管脚为数字 IO 管脚)			
VREN	<u>内部参考电压 CV_{REF}</u>		VRCON[7]	0x99 RW-0
	1 = 使能 0 = 关闭 (无电流消耗)			

名称	状态	寄存器	地址	复位值
VRR	<u>CV_{REF} 范围</u> 1 = 低电平 0 = 高电平	VRCON[5]		RW-0
VR	<u>CV_{REF} 值</u> 当 VRR = 1 时: $CV_{REF} = (VR<3:0>/24)*VDD$ 当 VRR = 0 时: $CV_{REF} = VDD/4 + (VR<3:0>/32)*VDD$	VRCON[3:0]		RW-000
T1GSS	<u>Timer1 门控源</u> 1 = T1G 引脚 (配置为数字输入) 0 = 比较器 C2 的输出	CMCON1[1]	0X1A	RW-1
C2SYNC	<u>比较器 C2 输出同步控制</u> 1 = 与 Timer1 时钟的下降沿同步 0 = 异步输出	CMCON1[0]		RW-0

表 13-1 比较器相关用户寄存器

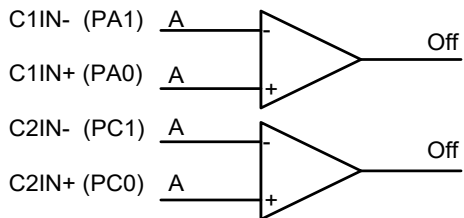
名称	状态	寄存器	地址	复位值
GIE	全局中断 1 = 使能 (PEIE, C2IE, C1IE 适用) 0 = 全局关闭 (唤醒不受影响)	INTCON[7]	0x0B 0x8B 0x10B	RW-0
PEIE	外设总中断 1 = 使能 (C2IE, C1IE 适用) 0 = 关闭 (无唤醒)	INTCON[6]		RW-0
C2IE	比较器 2 输出变化中断 1 = 使能 0 = 关闭 (无唤醒)	PIE1[4]	0x8C	RW-0
C2IF	比较器 2 输出变化中断 标志位 1 = Yes (锁存) 0 = No	PIR1[4]	0x0C	RW-0
C1IE	比较器 1 输出变化中断 1 = 使能 0 = 关闭 (无唤醒)	PIE1[3]	0x8C	RW-0
C1IF	比较器 1 输出变化中断 标志位 1 = Yes (锁存) 0 = No	PIR1[3]	0x0C	RW-0

表 13-2 比较器中断使能和状态位

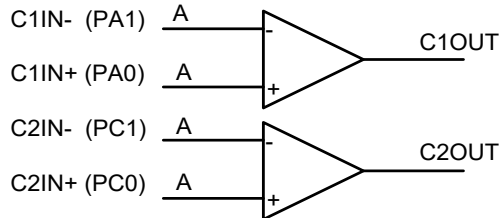
13.2 比较器配置

比较器 1/2 共有 8 种配置模式，如图 13-1 所示。需先关闭比较器及其中断，再切换比较器 1/2 输入输出模式。

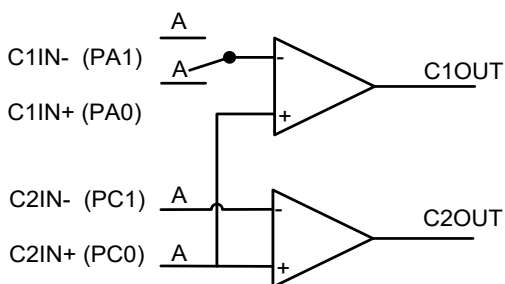
比较器复位（上电复位值）
CM<2:0> = 000



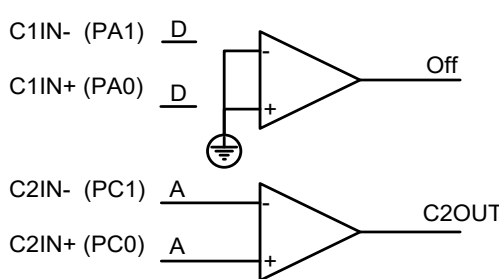
2个独立比较器
CM<2:0> = 100



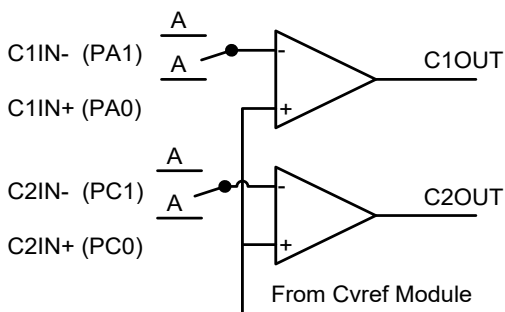
2个比较器, 公共参考端, 3路输入
CM<2:0> = 001



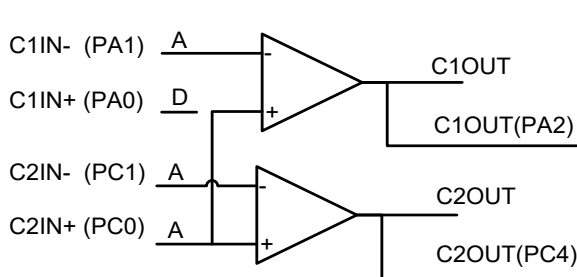
1个独立比较器
CM<2:0> = 101



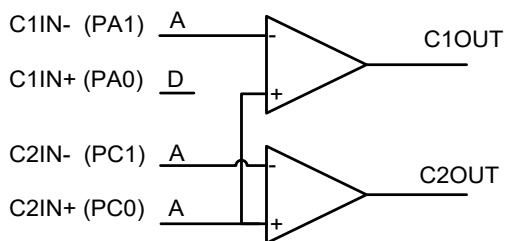
2个比较器, 公共内部参考电压CVREF, 4路输入
CM<2:0> = 010



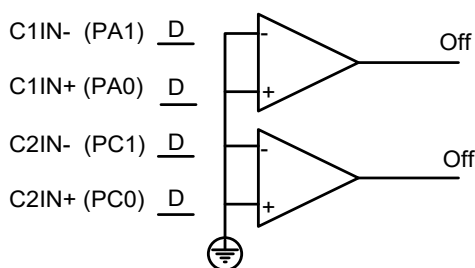
2个带输出比较器, 公共参考端, 2路输入
CM<2:0> = 110



2个比较器, 公共参考端, 2路输入
CM<2:0> = 011



比较器关闭（最低功耗模式）
CM<2:0> = 111



注：
A: 模拟输入 (ANSELx = 1)，端口读为'0'
D: 数字输入

图 13-1 比较器 1/2 输入输出模式

模拟输入端口 — 相应的 I/O 需设置 TRISx = 1 和 ANSELx = 1 来配置成模拟输入。

模拟输入端口与 I/O 引脚复用，这些引脚与 VDD 和 GND 之间都有反向保护二极管，输入电压禁止偏离此保护范围 0.6V 以上，否则二极管将导通导致闩锁效应。外部串联电阻需 < 10 kΩ。此外，如果模拟输入引脚上外接电容或齐纳二极管之类的元件，不应产生泄漏电流，否则可能会造成结果的不准确。

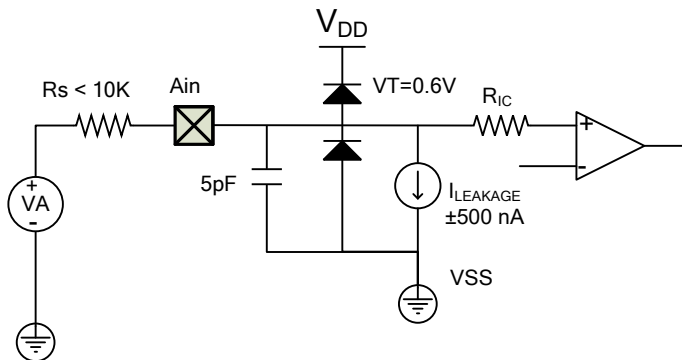


图 13-2 比较器模拟输入模型

比较结果输出 — 比较结果可输出到 I/O 引脚 PA2/PC4 (CM = 110)，相应的 I/O 需设置 TRISx = 0 来使能输出驱动电路。

比较器反应时间 — 当输入新的参考电压或输入源变化时，比较器输出有效电平所需的时间，即为反应时间。此外，当参考电压变化时，还需要一定的稳定时间。具体请参阅 [章节 18.8](#)。

注：使能比较器模块时，需要 1μs 左右的稳定时间，在此期间，比较器输出无效，应关闭中断以避免误触发。

可编程参考电压 CV_{REF} — 比较器输入之一可选择为内部可编程参考电压 CV_{REF} (CM = 010)。参考电压独立使能(参阅 "VREN")，可输出 16 级高电平范围和 16 级低电平范围，并与 VDD 成比例。

高电压范围 (VRR = 0): $CV_{REF} = VDD/4 + (VR<3:0>/32)*VDD$

低电压范围 (VRR = 1): $CV_{REF} = (VR<3:0>/24)*VDD$

如图 13-3 所示，由于模块的构造所限，无法实现 GND 至 VDD 的满量程。可通过如下配置将 CV_{REF} 输出电压钳位至 GND，此时比较器可用于过零检测，且不消耗额外的 CV_{REF} 模块电流。

```
BCR   VRCON,VREN   ;关闭 CVREF
CLRR  VRCON         ;VR<3:0> = 0000
BSR   VRCON,VRR    ;CVREF 低电平范围
```

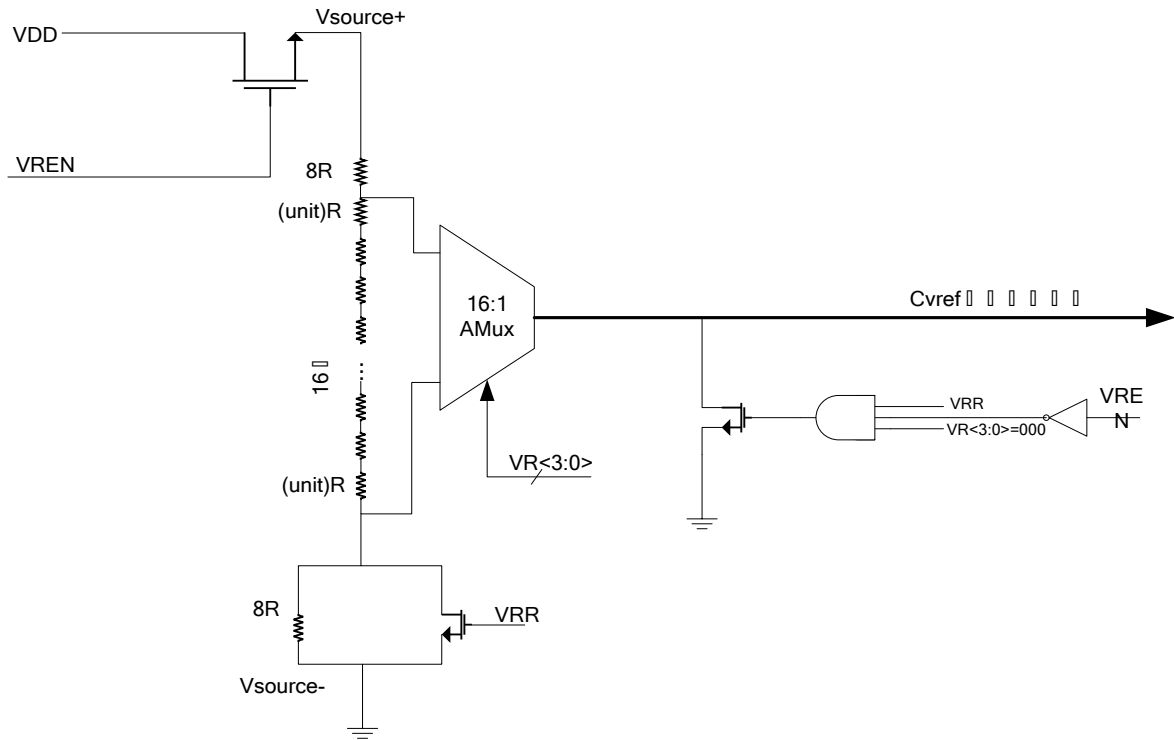


图 13-3 比较器参考电压框图

13.2.1 比较器中断

比较器 1/2 输出状态变化时将置位相应的中断标志位 CxIF，软件需要先保存输出位的状态，即读取 CxOUT，来判断实际发生的变化。是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(GIE, PEIE, C1IE, C2IE)。

注：

1. 对 CMCON0 进行读或写操作，将结束不匹配条件，清除中断。
2. 中断标志位 CxIF 必须由软件清零，清零前需先读取 CMCON0 以清除不匹配条件。此外，软件可将 CxIF 置 1，来模拟中断的发生。
3. 如果在读 CMCON0 时，CxOUT 刚好发生变化，那么 CxIF 标志位有可能不会被置高。

13.2.2 比较器 2 门控 Timer1

当 Timer1 的门控源选择为比较器 C2 的输出时，可用来对模拟事件的持续时间或间隔定时。详情请参阅[章节 7.3.3](#)“Timer1 门控模式”。

14. 稳压器 (VREG)

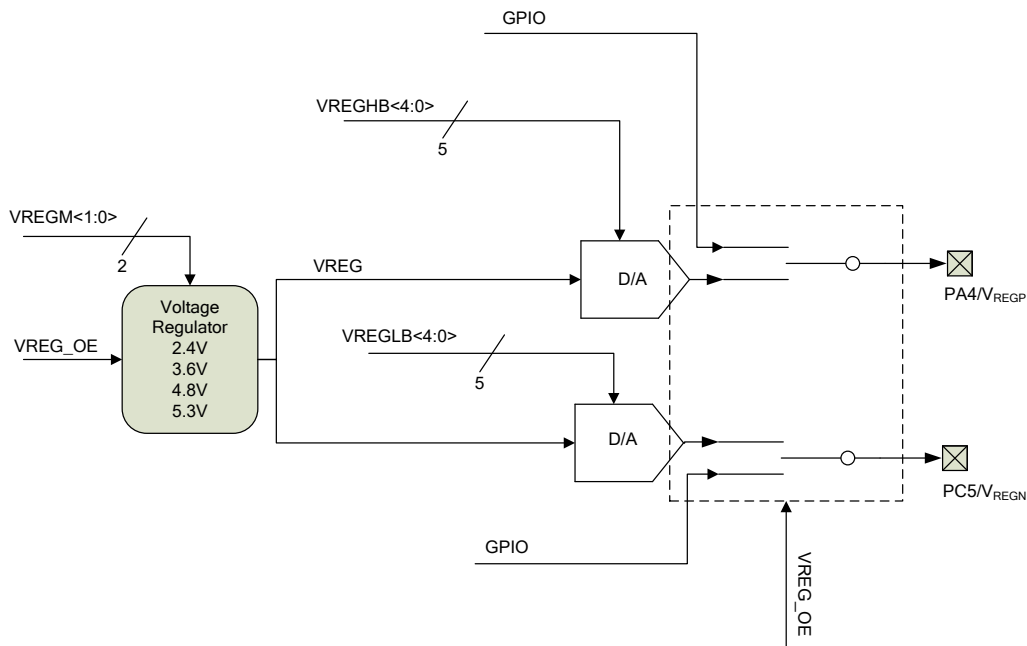


图 14-1 稳压器输出原理框图

FT61F02X 内置两路稳压器输出，每路可分别输出多达 32 档电压。输出电压公式如下：

公式 14-1 $V_{OUT} = V_{REG} * (VREGHB + 1) / 32$ (V_{REGP} , PA4 电压输出)

公式 14-2 $V_{OUT} = V_{REG} * (VREGLB + 1) / 32$ (V_{REGN} , PC5 电压输出)

14.1 稳压器输出相关寄存器汇总

名称	状态	寄存器	地址	复位值
VREG_OE	<u>稳压器输出</u> 1 = 使能 (PA4 和 PC5 输出稳压器电压) 0 = 关闭 (PA4 和 PC5 为普通 IO)	MSCKCON[6]	0x1B	RW-0
VREGM	<u>稳压器电压 V_{REG} 选择位</u> 00 = 2.4V 10 = 4.8V 01 = 3.6V 11 = 5.3V	VCON1[6:5]	0x108	RW-00
VREGHB	<u>高电压范围 (PA4) 输出电压</u> $V_{OUT} = V_{REG} * (VREGHB + 1) / 32$	VCON1[4:0]		RW-0000
VREGLB	<u>低电压范围 (PC5) 输出电压</u> $V_{OUT} = V_{REG} * (VREGLB + 1) / 32$	VCON2[4:0]	0x109	RW-0000

表 14-1 稳压器输出相关寄存器

15. 存储区读/写保护

程序区(PROM)和数据 EEPROM 区(DROM)可配置为全区读保护。由 IDE 界面进行选择配置。

名称	功能	默认
CPB	PROM 全区读保护	关闭

表 15-1 存储区读/写保护初始化配置寄存器

16. 指令集 (INSTRUCTION SET)

汇编语法	功能	运算	状态位
NOP	空操作	None	NONE
SLEEP	进入 SLEEP 模式	0 → WDT; Stop OSC	/PF, /TF
CLRWDT	清看门狗 (喂狗)	0 → WDT	/PF, /TF
LJUMP N	无条件跳转	N → PC	NONE
LCALL N	调用子程序	N → PC; PC + 1 → Stack	NONE
RETI	从中断返回	Stack → PC; 1 → GIE	NONE
RET	从子程序返回	Stack → PC	NONE
BCR R, b	将寄存器 R 的 b 位清 0	0 → R(b)	NONE
BSR R, b	将寄存器 R 的 b 位置 1	1 → R(b)	NONE
CLRR R	将寄存器 R 清 0	0 → R	Z
LDR R, d (MOVf)	将 R 存到 d	R → d	Z
COMR R, d	R 的反码	/R → d	Z
INCR R, d	R + 1	R + 1 → d	Z
INCRSZ R, d	R + 1, 结果为 0 则跳过	R + 1 → d	NONE
DECR R, d	R - 1	R - 1 → d	Z
DECRSZ R, d	R - 1, 结果为 0 则跳过	R - 1 → d	NONE
SWAPR R, d	将寄存器 R 的半字节交换	R(0-3)R(4-7) → d	NONE
RRR R, d	R 带进位循环右移	R(0) → C; R(n) → R(n-1); C → R(7);	C
RLR R, d	R 带进位循环左移	R(7) → C; R(n) → R(n+1); C → R(0);	C
BTSC R, b	位测试, 结果为 0 则跳过	Skip if R(b)=0	NONE
BTSS R, b	位测试, 结果为 1 则跳过	Skip if R(b)=1	NONE
CLRW	将工作寄存器 W 清 0	0 → W	Z
STTMD	将 W 内容存到 OPTION	W → OPTION	NONE
CTLIO R	设置 I/O 方向控制寄存器 TRISr	W → TRISr	NONE
STR R (MOVWF)	将 W 存到 R	W → R	NONE
ADDWR R, d	W 与 R 相加	W + R → d	C, HC, Z
SUBWR R, d	R 减 W	R - W → d	C, HC, Z
ANDWR R, d	W 与 R 相与	R & W → d	Z
IORWR R, d	W 与 R 相或	W R → d	Z
XORWR R, d	W 与 R 异或	W ^ R → d	Z
LDWI I (MOVLW)	将立即数存到 W	I → W	NONE
ANDWI I	W 与立即数 I 相与	I & W → W	Z
IORWI I	W 与立即数 I 相或	I W → W	Z
XORWI I	W 与立即数 I 异或	I ^ W → W	Z
ADDWI I	W 与立即数 I 相加	I + W → W	C, HC, Z
SUBWI I	立即数 I 减 W	I - W → W	C, HC, Z
RETW I	返回, 将立即数 I 存到 W	Stack → PC; I → W	NONE

表 16-1 37 条 RISC 指令

字段	描述
R(F)	SFR/SRAM 地址
W	工作寄存器
b	8-bit 寄存器 R / RAM 中的位地址
I / Imm (k)	立即数
X	不关心，值可以为 0 或 1
d	目标寄存器选择 1 = 结果存放到寄存器 R / RAM 0 = 结果存放到 W
N	程序绝对地址
PC	程序计数器
/PF	掉电标志位
/TF	超时标志位
TRISr	TRISr 寄存器, r 可以是 A, B, C
C	进位 / 借位
HC	半进位 / 半借位
Z	0 标志位

表 16-2 操作码字段

名称	状态	寄存器	地址	复位值
Z	<u>0 标志位：算术或逻辑运算的结果为零？</u> 1 = Yes 0 = No	STATUS[2]	0x03 0x83 0x103	RW-x
HC	<u>半进位 / 半借位 (ADDWR, ADDWI, SUBWI, SUBWR)：</u> <u>结果的第 4 低位向高位发生了进位或借位？</u> 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[1]		RW-x
C	<u>进位 / 借位 (ADDWR, ADDWI, SUBWI, SUBWR)：</u> <u>结果的最高位发生了进位或借位？</u> 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[0]		RW-x

表 16-3 计算状态标志位

17. 特殊功能寄存器 (SPECIAL FUNCTION REGISTERS, SFR)

有 2 种特殊功能寄存器(SFR):

- 初始化配置寄存器: 由仿真器界面设置(Integrated Development Environment, IDE);
- 用户寄存器;

17.1 初始化配置寄存器

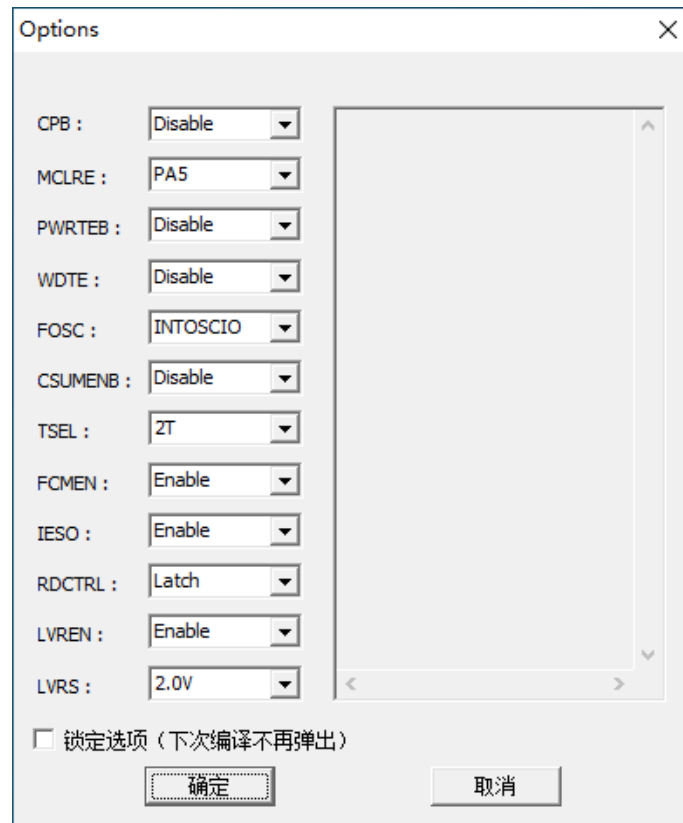


图 17-1 由 IDE 设置的初始化配置寄存器

名称	功能	默认
CPB	PROM 全区读保护	关闭
MCLRE	外部 I/O 复位	关闭
PWRTEB	上电延时定时器(PWRT), 初始化配置完成后额外延时~64ms	关闭
WDTE	<u>WDT</u> <ul style="list-style-type: none"> 使能 (指令不能禁止) <u>由指令控制 (SWDTEN)</u> 	SWDTEN 控制
FOSC	<ul style="list-style-type: none"> LP: PA7 (+) 和 PA6 (-) 接外部低速晶振 XT: PA7 (+) 和 PA6 (-) 接外部高速晶振 EC: PA7 (+) 接外部时钟输入, PA6 为 I/O INTOSC: PA6 输出“指令时钟”, PA7 为 I/O <u>INTOSCIO</u>: PA7 和 PA6 为 I/O 	INTOSCIO
CSUMENB	程序空间校验和验证功能	关闭
TSEL	<u>指令时钟与系统时钟 SysClk 的对应关系 (2T or 4T):</u> <ul style="list-style-type: none"> 2 (指令时钟= SysClk/2) 4 (指令时钟= SysClk/4) 	2
FCMEN	<u>故障保护时钟监控器</u> <ul style="list-style-type: none"> <u>使能</u> 关闭 	使能
IESO	<u>XT / LP 双速时钟启动</u> <ul style="list-style-type: none"> <u>使能</u> 关闭 	使能
RDCTRL	<u>当 TRISx = 0 时, 读 PORTx 寄存器的返回值</u> <ul style="list-style-type: none"> 输入锁存器 输出锁存器 	输出
LVREN	<u>LVR</u> <ul style="list-style-type: none"> <u>使能</u> <u>关闭</u> 非 SLEEP 模式下使能 通过指令控制 (SLVREN) 	使能
LVRS	7 档 V_{BOR} 电压(V): 2.0 / 2.2 / <u>2.5</u> / 2.8 / 3.1 / 3.6 / 4.1	2.0

表 17-1 初始化配置寄存器 (由 IDE 设置)

17.2 用户寄存器

用户寄存器，即特殊功能寄存器(SFR)和 SRAM 分布在 4 个 bank 中，由于 BANK3 没有实现，所以实现可寻址的寄存器个数为 384。在访问寄存器前，必须先切换到相应的 bank。

任何使用 INDF 寄存器的指令，实际上是对文件选择寄存器(FSR_B8,FSR)所指向的单元进行存取。当 FSR_B8 为 1 且使用间接寻址访问 SFR 空间时，{FSR_B8,FSR}将指向 BANK2。

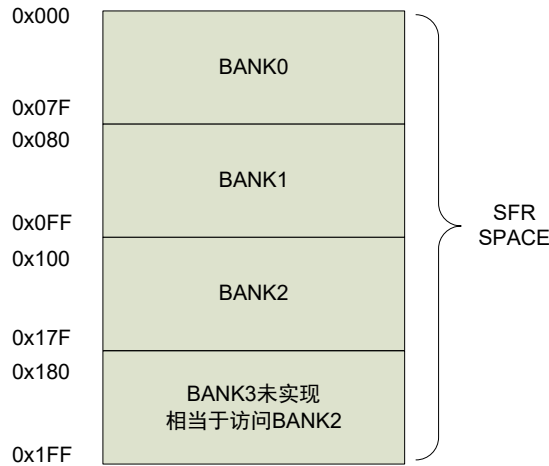


图 17-2 间接寻址

由于切换 bank 需要额外的指令，因此一些常用的 SFR 同时存储在 3 个 bank 中，以减少切换操作，这些 3 个 bank 所共有的寄存器值是同步的。

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
0, 80, 100	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
2, 82, 102	PCL	程序计数器 (PC) 低 8 位								0000 0000
3, 83, 103	STATUS	FSRB8	PAGE[1:0]	/TF	/PF	Z	HC	C		0001 1xxx
4, 84, 104	FSR	间接寻址指针寄存器								xxxx xxxx
A, 8A, 10A	PCLATH	-	-	-	程序计数器 (PC) 高 5 位锁存器					---0 0000
B, 8B, 10B	INTCON	GIE	PEIE	TOIE	INTE	PAIE	TOIF	INTF	PAIF	0000 0000
0x70 - 0x7F 0xF0 - 0xFF 0x170 - 0x17F	公共 BANK SRAM 区								xxxx xxxx	

表 17-2 4 个 BANK 共有的寄存器

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值	
0	INDF	使用 FSR 的内容对数据存储寄存器进行访问 (非物理寄存器)								xxxx xxxx	
1	TMR0	Timer0 计数器								xxxx xxxx	
2	PCL	程序计数器低 8 位								0000 0000	
3	STATUS	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx	
4	FSR	间接寻址指针寄存器								xxxx xxxx	
5	PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx	
7	PORTC	-	-	PC5	PC4	PC3	PC2	PC1	PC0	--xx xxxx	
A	PCLATH	-	-	-	程序计数器高 5 位锁存器					---0 0000	
B	INTCON	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000	
C	PIR1	EEIF	CKMEAIF	-	C2IF	C1IF	OSFIF	TMR2IF	TMR1IF	0000 0000	
D	PIR2	-	-	-	-	-	-	ADIF	CCP1IF	---- --00	
E	TMR1L	Timer1[7:0]								xxxx xxxx	
F	TMR1H	Timer1[15:8]								xxxx xxxx	
10	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	
11	TMR2	TMR2 [7:0]								0000 0000	
12	T2CON	-	TOUTPS [3:0]				TMR2ON	T2CKPS [1:0]		-000 0000	
13	CCPR1L	捕捉、比较、PWM 寄存器 1 的低 8 位								xxxx xxxx	
14	CCPR1H	捕捉、比较、PWM 寄存器 1 的高 8 位								xxxx xxxx	
15	CCP1CON	P1M[1:0]		DC1B[1:0]		CCP1M[3:0]				0000 0000	
16	PWM1CON	PRSEN	PDC[6:0]								0000 0000
17	ECCPAS	ECCPASE	ECCPAS[2:0]			PSSAC[1:0]		PSSBD[1:0]		0000 0000	
18	WDTCON	-	-	-	WDTPS[3:0]				SWDTEN	---0 1000	
19	CMCON0	C2OUT	C1OUT	C2INV	C1INV	CIS	CM[2:0]			0000 0000	
1A	CMCON1	-	-	-	-	-	-	T1GSS	C2SYNC	---- --10	
1B	MSCKCON	-	VREG_OE	T2CKSRC	SLVREN	-	CKMAVG	CKCNTI	-	0000 -00-	
1C	SOSCPRL	SOSCPRL [7:0]								1111 1111	
1D	SOSCPRH	-	-	-	-	SOSCPRH [11:8]				---- 1111	
1E	ADRESH	A/D 转换结果高有效位								xxxx xxxx	
1F	ADCON0	ADFM	VCFG1	VCFG0	CHS[2:0]			GO/DONE	ADON	0000 0000	
20-7F	SRAM BANK1 (96Bytes), 物理地址 0x00-0x5F									xxxx xxxx	

表 17-3 SFR, BANK 0

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
80	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
81	OPTION	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
82	PCL	程序计数器低 8 位								0000 0000
83	STATUS	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
84	FSR	间接寻址指针寄存器								xxxx xxxx
85	TRISA	TRISA [7:0]								1111 1111
87	TRISC	-	-	TRISC [5:0]						--11 1111
88	WPUC	-	-	WPUC [5:0]						--00 0000
89	WPD	-	-	-	WPDA4	WPDC1	WPDC2	WPDC3	-	---0 000-
8A	PCLATH	-	-	-	程序计数器高 5 位锁存器					---0 0000
8B	INTCON	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
8C	PIE1	EEIE	CKMEAIE	-	C2IE	C1IE	OSFIE	TMR2IE	TMR1IE	0000 0000
8D	PIE2	-	-	-	-	-	-	ADIE	CCP1IE	---- --00
8E	PCON	VREF_OE	LVDL [2:0]			LVDEN	LVDW	/POR	/BOR	0000 0xqq
8F	OSCCON	LFMOD	IRCF[2:0]			OSTS	HTS	LTS	SCS	0101 x000
90	PWM1AUX	AUX1EN	P1OS	P1FOE	P1EOE	P1DOE	P1COE	P1BOE	P1AOE	0000 0000
91	ANSEL	ANSEL[7:0]								1111 1111
92	PR2	PR2[7:0], Timer2 周期寄存器								1111 1111
95	WPUA	WPUA [7:0]								1111 1111
96	IOCA	IOCA [7:0]								0000 0000
99	VRCON	VREN	-	VRR	-	VR[3:0]				0-0- 0000
9A	EEDAT	EEDAT [7:0]								0000 0000
9B	EEADR	EEADR [7:0]								0000 0000
9C	EECON1	-	-	WREN3	WREN2	WRERR	WREN1	-	RD	--00 x0-0
9D	EECON2	-	-	-	-	-	-	-	WR	---- --0
9E	ADRESL	A/D 转换结果低有效位								xxxx xxxx
9F	ADCON1	DIVS	ADCS[2:0]			-	-	-	-	0000 ----
A0-BF	SRAM BANK1 (32Bytes), 物理地址 0x00-0x1F									xxxx xxxx
C0-EF	-									---- ----
F0-FF	SRAM, 访问 BANK0's 0x70-0x7F									xxxx xxxx

表 17-4 SFR, BANK 1

地址	名称	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
100	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
102	PCL	程序计数器低 8 位								0000 0000
103	STATUS	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
104	FSR	间接寻址指针寄存器								xxxx xxxx
108	VCON1	-	VREGM[1:0]		VREGHB[4:0]					-000 0000
109	VCON2	-	-	-	VREGLB[4:0]					---0 0000
10A	PCLATH	-	-	-	程序计数器高 5 位锁存器					---0 0000
10B	INTCON	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
10C	TMR3L	TMR3 [7:0], TMR3 低 8 位								xxxx xxxx
10D	TMR3H	TMR3 [11:8], TMR3 高 4 位				PR3[11:8] Timer3 周期寄存器高 4 位				xxxx 1111
10E	PR3L	PR3[7:0] Timer3 周期寄存器低 8 位								1111 1111
10F	PWM3CR0	P3INTS	P3PER[2:0]			P3CKSRC[2:0]			P3BZR	0000 0000
110	PWM3CR1	P3EN	P3POL	TMR3PS[2:0]			TMR3ON	TMR3IE	TMR3IF	0000 0000
111	T3CKDIV	Timer3 时钟分频寄存器								0000 0000
112	TMR4L	TMR4 [7:0], TMR4 低 8 位								xxxx xxxx
113	TMR4H	TMR4 [11:8], TMR4 高 4 位				PR4[11:8] Timer4 周期寄存器高 4 位				xxxx 1111
114	PR4L	PR4[7:0] Timer4 周期寄存器低 8 位								1111 1111
115	PWM4CR0	P4INTS	P4PER[2:0]			P4CKSRC[2:0]			P4BZR	0000 0000
116	PWM4CR1	P4EN	P4POL	TMR4PS[2:0]			TMR4ON	TMR4IE	TMR4IF	0000 0000
117	T4CKDIV	Timer 4 时钟分频寄存器								0000 0000
118	TMR5L	TMR4 [7:0], TMR5 低 8 位								xxxx xxxx
119	TMR5H	TMR5 [11:8], TMR5 高 4 位				PR5[11:8] Timer5 周期寄存器高 4 位				xxxx 1111
11A	PR5L	PR5[7:0] Timer5 周期寄存器低 8 位								1111 1111
11B	PWM5CR0	P5INTS	P5PER[2:0]			P5CKSRC[2:0]			P5BZR	0000 0000
11C	PWM5CR1	P5EN	P5POL	TMR5PS[2:0]			TMR5ON	TMR5IE	TMR5IF	0000 0000
11D	T5CKDIV	Timer 5 时钟分频寄存器								0000 0000
120 - 16F		-								---- ----
170 - 17F		SRAM, 访问 BANK0's 0x70-0x7F								xxxx xxxx

表 17-5 SFR, BANK 2

注:

1. INDF 不是物理寄存器;
2. 灰色部分表示没有实现;
3. 不要对未实现的寄存器位进行写操作;
4. ANSEL 复位值为 0xFF, 复位后 PORTA[3:0]和 PORTC[2:0]为模拟管脚,此时对这些 IO 读操作返回值为 0, 与其数据寄存器内容无关

17.3 STATUS 寄存器

名称	状态	寄存器	地址	复位值
FSRB8	FSR 寄存器第 8 位，与 FSR 组成一个 9 位的寄存器，在间接寻址时使用，详见 章节 17.4 。	STATUS[7]	0x03 0x83 0x103	RW-0
PAGE	<u>寄存器存储区(bank)选择位</u> 00 = Bank 0 (0x00h – 0x7Fh) 01 = Bank 1 (0x80h – 0xFFh) 1x = Bank 2 (0x100 – 0x17F)	STATUS[6:5]		RW-00
/TF	<u>超时标志位</u> 1 = 上电后，执行了 CLRWDT 或 SLEEP 指令 0 = 发生 WDT 超时溢出	STATUS[4]		RO-1
/PF	<u>掉电标志位</u> 1 = 上电复位后或执行了 CLRWDT 指令 0 = 执行了 SLEEP 指令	STATUS[3]		RO-1
Z	<u>0 标志位：算术或逻辑运算的结果为零？</u> 1 = Yes 0 = No	STATUS[2]		RW-x
HC	<u>半进位 / 半借位 (ADDWR, ADDWI, SUBWI, SUBWR)：结果的第 4 低位向高位发生了进位或借位？</u> 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[1]		RW-x
C	<u>进位 / 借位 (ADDWR, ADDWI, SUBWI, SUBWR)：结果的最高位发生了进位或借位？</u> 1 = 进位，或未借位 0 = 未进位，或借位	STATUS[0]		RW-x

表 17-6 Status 寄存器

注：

- 同其他寄存器一样，STATUS 状态寄存器也可以作为任何指令的目标寄存器。但如果一条影响 Z、HC 或 C 位的指令以 STATUS 作为目标寄存器，那么对这三位的写操作将被禁止，Z、HC 和 C 位只受运算结果影响从而被置 1 或清 0。此时，当执行一条以 STATUS 作为目标寄存器的指令后，STATUS 的内容可能与预期不一致。
- 建议只使用 BCR、BSR、SWAPR 和 STR 指令来操作 STATUS 寄存器。

17.4 PCL 和 PCLATH

程序区只有 1 个 Page (2k Words), 在 Page 的末尾 (0x7FF)将回滚到 Page 的开头 (0x000)。指令的地址宽度为 11 位, 能寻址 2kW。LJUMP 和 LCALL 等长跳转指令, 无需设置 PCLATH。

程序计数器(PC)为 11 位宽。其低 8 位来自可读写的 PCL 寄存器, 高 3 位(PC[10:8])来自 PCLATH, 不可直接读写。发生复位时, PC 将被清 0。图 17-3 显示了装载 PC 值的两种情形。

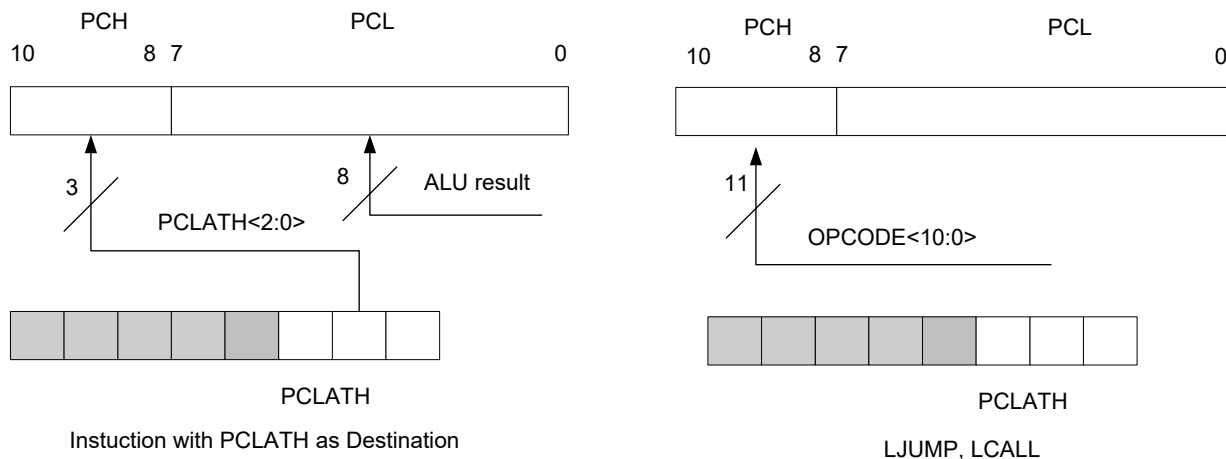


图 17-3 装载 PC 值的不同情况

执行任何以 PCL 寄存器为目标寄存器的指令将同时使程序计数器 PC[10:8]位被 PCLATH 内容所取代。因此可通过将所需的高 3 位先写入 PCLATH 寄存器来更改程序计数器 PC 的全部内容。

计算 LJUMP 指令是通过向程序计数器 PC 加入偏移量(ADDWR PCL)来实现的。因此通过修改 PCL 寄存器来跳转到查找表或程序分支表(计算 LJUMP)时应特别谨慎。假定 PCLATH 设置为表的起始地址, 如果表的长度大于 255 条指令, 或地址低 8 位在表的中间, 计满至 0xFF 返回到 0x00, 那么在每次表的起始地址或表内的目标地址发生计满返回时, PCLATH 必须递增。

INDF 不是物理存在的寄存器, 对 INDF 进行寻址将产生间接寻址。

任何使用 INDF 寄存器的指令, 实际上是对文件选择寄存器(File Select Register, [FSRB8, FSR])所指向的单元进行存取。间接对 INDF 进行读操作将返回 0, 间接对 INDF 进行写操作将导致空操作 (可能会影响状态标志位)。

18. 电气特性

18.1 极限参数

工作环境温度等级 3.....	-40 – +85°C
工作环境温度等级 2.....	-40 – +105°C
工作环境温度等级 1.....	-40 – +125°C
存储温度.....	-40 – +125°C
电源电压.....	$V_{SS}-0.3V - V_{SS}+6.0V$
端口输入电压.....	$V_{SS}-0.3V - V_{DD}+0.3V$

注:

1. 超过上述“极限参数”所规定的范围，可能会对芯片造成永久性损坏。
2. 除非另作说明，所有特性值的测试条件为 25°C, $V_{DD} = 2.0 - 5.5V$ 。
3. 本节所示的值和范围基于特性值，并非最终出货的标准值。
4. 除非另作说明，生产测试温度为 25°C。由于高温筛选不是常规测试流程，超出上述工作环境温度时，芯片的某些性能参数将不能保证。
5. 150°C 下，未经压力测试的典型数据保持时间大于 10 年。

18.2 工作特性

参数		最小值	典型值	最大值	单位	条件
Fsys (SysClk)	2T/4T	-	-	8	MHz	-40 – 85°C, $V_{DD} = 2.0 - 5.5V$
		-	-	16	MHz	-40 – 85°C, $V_{DD} = 2.7 - 5.5V$
指令周期 ($T_{INSTRCLK}$)	2T	-	125	-	ns	SysClk = HIRC
	4T	-	250	-	ns	
	2T	-	61	-	µs	SysClk = LIRC
	4T	-	122	-	µs	
T0CKI 高或低脉冲宽度		$0.5 * T_{T0CK} + 20$	-	-	ns	无预分频
		10	-	-	ns	有预分频
T0CKI 输入周期		Max. 20 and $(T_{T0CK}+40)/N$	-	-	ns	N = 1, 2, 4, ..., 256 (有预分频) N = 1 (无预分频)
T1CKI 高或低脉冲宽度	同步	$(T_{sysclk} + 20) / N$	-	-	ns	N = 1, 2, 4, 8 (有预分频)
	异步	10 或 30 / N 的较大者	-	-	ns	
T1CKI 输入周期	同步	$2 * (T_{sysclk} + 20) / N$	-	-	ns	
	异步	20 或 60 / N 的较大者	-	-	ns	
上电复位保持时间 (T_{DRH})		-	4.2	-	ms	25°C, PWRT disable
外部复位脉冲宽度 (T_{MCLRb})		2000	-	-	ns	25°C
WDT 周期 (T_{WDT})		-	1	-	ms	预分频比 = 1:1

注: T_{T0CK} 是指由 T0CS 所选的时钟周期。

18.3 POR, LVR, LVD

上电复位 (POR)

特性	最小值	典型值	最大值	单位	条件
I _{POR} 工作电流	-	0.14	-	μA	25°C, V _{DD} = 3.3V
V _{POR}	-	1.65	-	V	25°C

低电压复位 (LVR)

参数	最小值	典型值	最大值	单位	条件
I _{LVR} 工作电流	-	18.7	-	μA	25°C, V _{DD} = 3.3V
V _{LVR} , LVR 阈值	1.90	2.0	2.10	V	25°C
	2.09	2.2	2.31		
	2.38	2.5	2.63		
	2.66	2.8	2.94		
	2.95	3.1	3.26		
	3.42	3.6	3.78		
LVR delay	-	125	157	μs	25°C, V _{DD} = 2.0 – 5.5V

低电压检测 (LVD)

特性	最小值	典型值	最大值	单位	条件
I _{LVD} 工作电流	-	24.5	-	μA	25°C, V _{DD} = 3.3V
V _{LVD} , LVD 阈值	1.90	2.0	2.10	V	25°C
	2.28	2.4	2.52		
	2.66	2.8	2.94		
	2.85	3.0	3.15		
	3.42	3.6	3.78		
	3.80	4.0	4.20		
LVD delay	-	125	157	μs	25°C, V _{DD} = 2.0 – 5.5V

18.4 I/O 端口电路

参数	最小值	典型值	最大值	单位	条件
V_{IL}	0	-	$0.3 \cdot V_{DD}$	V	
V_{IH}	$0.7 \cdot V_{DD}$	-	V_{DD}	V	
漏电流	-1	-	1	μA	$V_{DD} = 5V$
源电流(Source)	-	-30	-	mA	$25^{\circ}C, V_{DD} = 5.0V, V_{OH} = 4.5V$
灌电流(Sink)	-	23	-	mA	$25^{\circ}C, V_{DD} = 5.0V, V_{OL} = 0.5V$
上拉电阻	-	28	-	k Ω	$25^{\circ}C, V_{DD} = 5.0V$
	-	63	-		$25^{\circ}C, V_{DD} = 3.3V$
下拉电阻	-	93	-	k Ω	$25^{\circ}C, V_{DD} = 5.0V$
	-	229	-		$25^{\circ}C, V_{DD} = 3.3V$

18.5 工作电流 (I_{DD})

参数	SysClk	典型值 @ V_{DD}			单位
		2.0V	3.3V	5.5V	
正常模式 (2T) - I_{DD}	16MHz	-	1.519	1.654	mA
	8 MHz	0.672	1.103	1.177	
	4 MHz	0.469	0.643	0.680	
	2 MHz	0.289	0.397	0.418	
	1 MHz	0.199	0.274	0.288	
	32 kHz	0.032	0.048	0.050	
Sleep 模式 (WDT OFF, LVR OFF), I_{SB}	-	0.166	0.386	0.697	μA
Sleep 模式 (WDT ON, LVR OFF)	32 kHz	2.960	3.240	3.200	
Sleep 模式 (WDT OFF, LVR ON)	-	17.910	18.730	22.150	
Sleep 模式 (WDT ON, LVR ON)	32 kHz	18.940	20.450	24.730	
Sleep 模式 (WDT OFF, LVR OFF, LVD ON)	-	22.990	24.500	28.860	

注： Sleep 模式 I_{SB} 的测试条件为所有 I/O 设置成输入模式并外部下拉到 GND。

18.6 内部振荡器

内部低频振荡器 (LIRC)

测试条件为 LIRC 选择 32 kHz (LFMOD=0)。

特性	最小值	典型值	最大值	单位	条件
频率范围	29.4	32	33.6	kHz	25°C, V _{DD} = 2.5V
随温度变化范围	-2.0%	-	2.0%	-	-40 – 85°C, V _{DD} = 2.5V
随电源电压变化范围	-2.5%	-	1.0%	-	25°C, V _{DD} = 2.0 – 5.5V
I _{LIRC} 工作电流	-	1.1	-	μA	25°C, V _{DD} = 3.0V
启动时间	-	4.6	-	μs	25°C, V _{DD} = 3.0V

内部高频振荡器 (HIRC)

参数	最小值	典型值	最大值	单位	条件
频率范围	15.84	16	16.16	MHz	25°C, V _{DD} = 2.5V
随温度变化范围	-6.0%	±4.0%	4.0%	-	-40 – 85°C, V _{DD} = 2.5V
随电源电压变化范围	-1.0%	-	1.0%	-	25°C, V _{DD} = 2.0 – 5.5V
I _{HIRC} 工作电流	-	30	-	μA	25°C, V _{DD} = 3.0V
启动时间	-	2.5	-	μs	25°C, V _{DD} = 3.0V

18.7 ADC (10 bit) 和 ADC VREF

ADC (10 bit)

参数	最小值	典型值	最大值	单位	条件
ADC 工作电压 V _{DD}	2.7	-	5.5	V	
ADC 工作电流 I _{VDD}	-	90	-	μA	V _{REF} = V _{DD} = 5.5V
模拟输入电压 V _{AIN}	V _{SS}	-	V _{REF}	V	
外部参考电压 V _{REF}	2.0	-	V _{DD}	V	
分辨率	-	-	10	bit	
积分误差 E _{IL}	-	± 1.0	-	LSB	V _{REF} = V _{DD} = 5.0V
微分误差 E _{DL}	-	± 0.5	-	LSB	F _{ADCCLK} = 250KHZ
偏移误差 E _{OFF}	-	± 5.0	-	LSB	V _{REF} = V _{DD} = 5.0V
增益误差 E _{GN}	-	± 2.0	-	LSB	F _{ADCCLK} = 250KHZ
转换时钟周期 T _{AD}	-	2	-	μs	V _{REF} > 3.0V, V _{DD} > 3.0V
转换时钟数	-	14.5	-	T _{AD}	
稳定时间 (T _{ST})	-	15	-	μs	
采样时间 (T _{ACQ})	-	≥ 2	-	μs	
模拟电压源阻抗 (Z _{AI})	-	-	10	kΩ	(推荐)

微分误差 DNL

typical DNL Error (LSB) @ $V_{DD} = 5V$			
V_{REF+} F _{ADCLK}	2	3	V_{DD}
≤ 1 MHz	±0.5	±0.5	±0.5
2 MHz	±2.0	±1.0	±1.0
4 MHz	-	-	±3.5

积分误差 INL

typical INL Error (LSB) @ $V_{DD} = 5V$			
V_{REF+} F _{ADCLK}	2	3	V_{DD}
≤ 1 MHz	±0.5	±0.5	±0.5
2 MHz	±2.0	±1.5	±1.0
4 MHz	-	-	±3.5

ADC V_{REF} (内部参考电压)

参数		最小值	典型值	最大值	单位	条件
内部参考电压 $V_{ADC-REF}$	$V_{ADC-REF} = 2.0V$	1.990	2	2.010	V	25°C, $V_{DD} = 5.0V$
	$V_{ADC-REF} = 3.0V$	2.985	3	3.015	V	25°C, $V_{DD} = 5.0V$
随电压变化范围	$V_{ADC-REF} = 2.0V$	-1.0%	-	1.0%	V	25°C, $V_{DD} = 2.7\sim 5.5V$
	$V_{ADC-REF} = 3.0V$	-0.5%	-	0.5%	V	25°C, $V_{DD} = 3.5\sim 5.5V$
随温度变化范围	$V_{ADC-REF} = 2.0V$	-2.0%	-	2.0%	-	-40 – 85°C, $V_{DD} = 5.0V$
	$V_{ADC-REF} = 3.0V$	-2.0%	-	2.0%	-	-40 – 85°C, $V_{DD} = 5.0V$
稳定时间 T_{VRINT}	$V_{ADC-REF} = 2.0V$	-	450	-	μs	
	$V_{ADC-REF} = 3.0V$	-	450	-	μs	

18.8 Comparator 比较器电路

参数	最小值	典型值	最大值	单位	条件
Ivdd 工作电流	—	70	—	uA	3V, 25°C
工作电压	2.0	—	5.5	V	
输入共模电压	0	—	V _{DD} -1.5	V	2.0V~5.5V, -40°C~85°C
输入偏移电压(Offset)	—	±5	±10	mV	同上
共模抑制比(CMRR)	55	—	—	dB	同上
迟滞(Hysteresis)	—	0	—	mV	同上
响应时间(Response Time)	—	200	—	ns	正常模式:输出低->高
	—	150	—	ns	正常模式:输出高->低
参考电压稳定时间		10		us	

18.9 4bit DAC 电路 (比较器参考电压设置)

参数	最小值	典型值	最大值	单位	条件
相对精度	—	V _{DD} /16	—	V	2.0V~5.5V, -40°C~85°C
绝对精度	—	—	± 1/2	LSB	2.0V~5.5V, -40°C~85°C
单位电阻(unit resistor)	—	5000	—	Ω	2.0V~5.5V, -40°C~85°C
稳定时间(Settle Time)	—	—	10	us	0000 -> 1111

18.10 稳压器输出电路

参数	最小值	典型值	最大值	单位	条件/备注
Ivdd 工作电流	—	70.68	—	uA	25°C, V _{DD} =3.3V
输出电压	—	2.4	—	V	VREGM=00, V _{DD} =3.3~5.5V
	—	3.6	—	V	VREGM=01, V _{DD} =3.8~5.5V
	—	4.8	—	V	VREGM=10, V _{DD} =5~5.5V
	—	5.24	—	V	VREGM=11, V _{DD} =5.5V
输出电流	—	200	—	uA	V _{DD} =3.3~5.5V

18.11 Program 和 Data EEPROM

参数		最小值	典型值	最大值	单位	条件
V _{DD-READ}	Program/Data EE 读电压	V _{POR}	-	5.5	V	-40 – 85°C
V _{DD-WRITE}	Program EE 写电压	2.7	-	5.5	V	-40 – 85°C
	Data EE 写电压	1.9	-	5.5		
N _{END}	Program EE 擦/写次数	100 k	-	-	cycle	25 °C
		40 k	-	-		85 °C
	Data EE 擦/写次数	1,000 k	-	-		25 °C
		400 k	-	-		85 °C
T _{RET}	Program EE 数据保持	20	-	-	年	1k 次擦写后 @ 85 °C
	Data EE 数据保持	20	-	-		10k 次擦写后 @ 85 °C
T _{WRITE}	Data EE 写时间	-	2.0	-	ms	使能自动擦除
I _{PROG}	Data EE 编程电流	-	300	-	μA	25 °C, V _{DD} = 3 V

18.12 EMC 特性

ESD

参数		最小值	典型值	最大值	单位	条件
V _{ESD}	HBM	4000	-	-	V	MIL-STD-883H Method 3015.8
V _{ESD}	MM	200	-	-	V	JESD22-A115

Latch-up

参数	最小值	典型值	最大值	单位	条件
LU, static latch-up	200	-	-	mA	EIA/JESD 78

EFT

参数	最小值	典型值	最大值	单位	条件
V _{EFT}	5.5	-	-	kV	V _{DD} (5V) 与 GND 间的电容: 1μF

19. 特性图

注： 特性图基于特性值，仅供参考，未经生产测试。

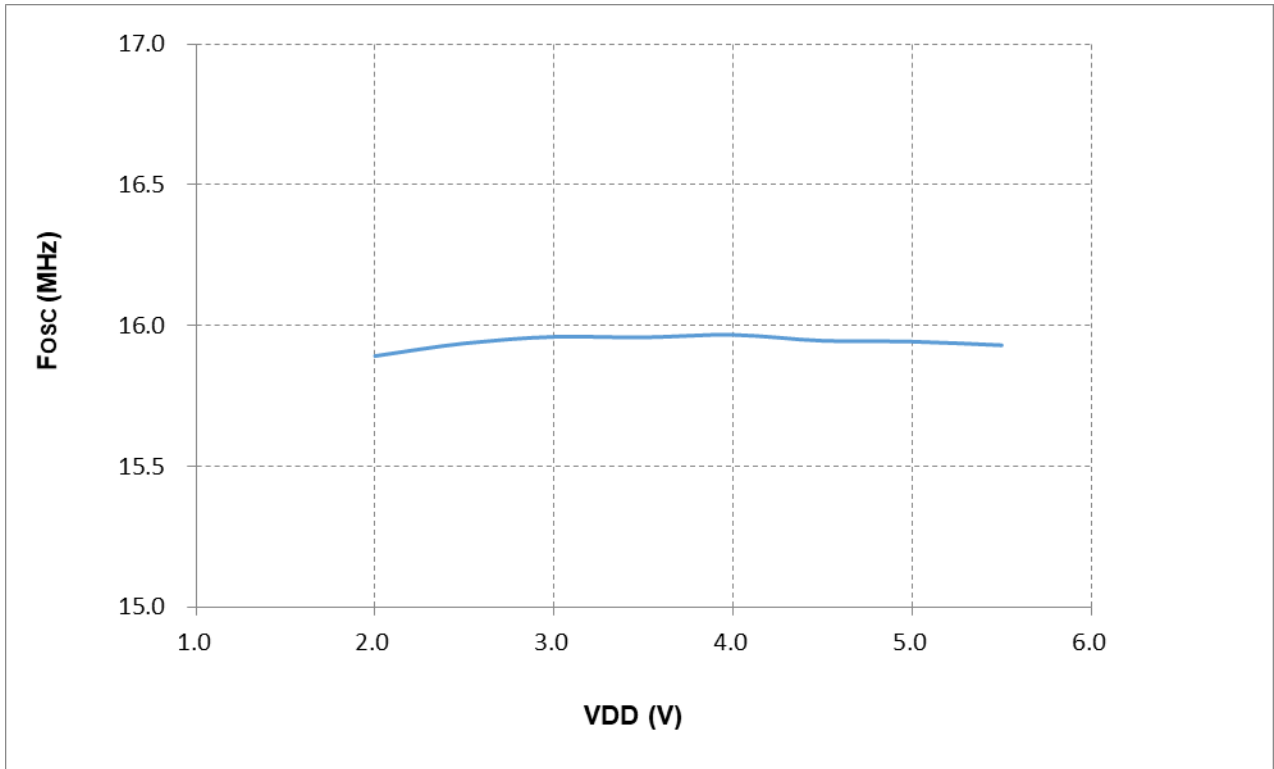


图 19-1 HIRC vs. V_{DD} (T_A = 25°C)

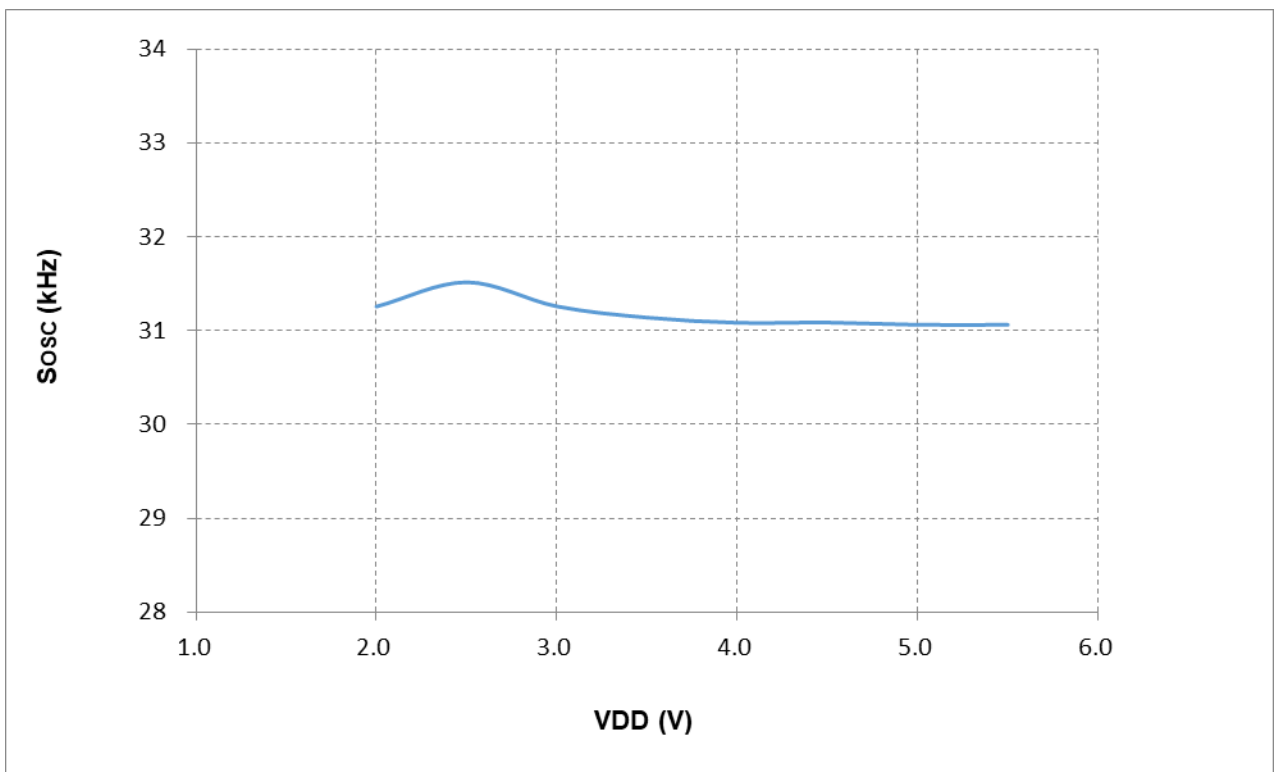


图 19-2 LIRC vs. V_{DD} (T_A = 25°C)

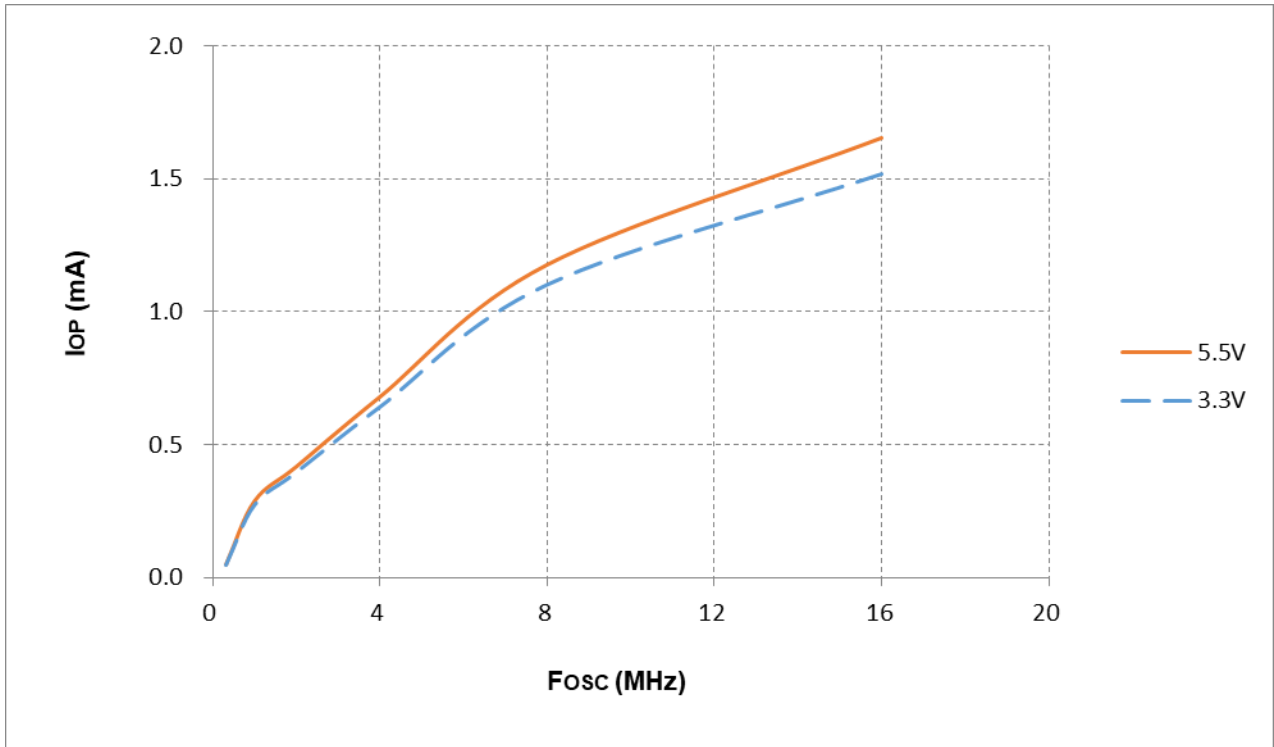


图 19-3 I_{DD} vs. Frequency (2T, T_A = 25°C)

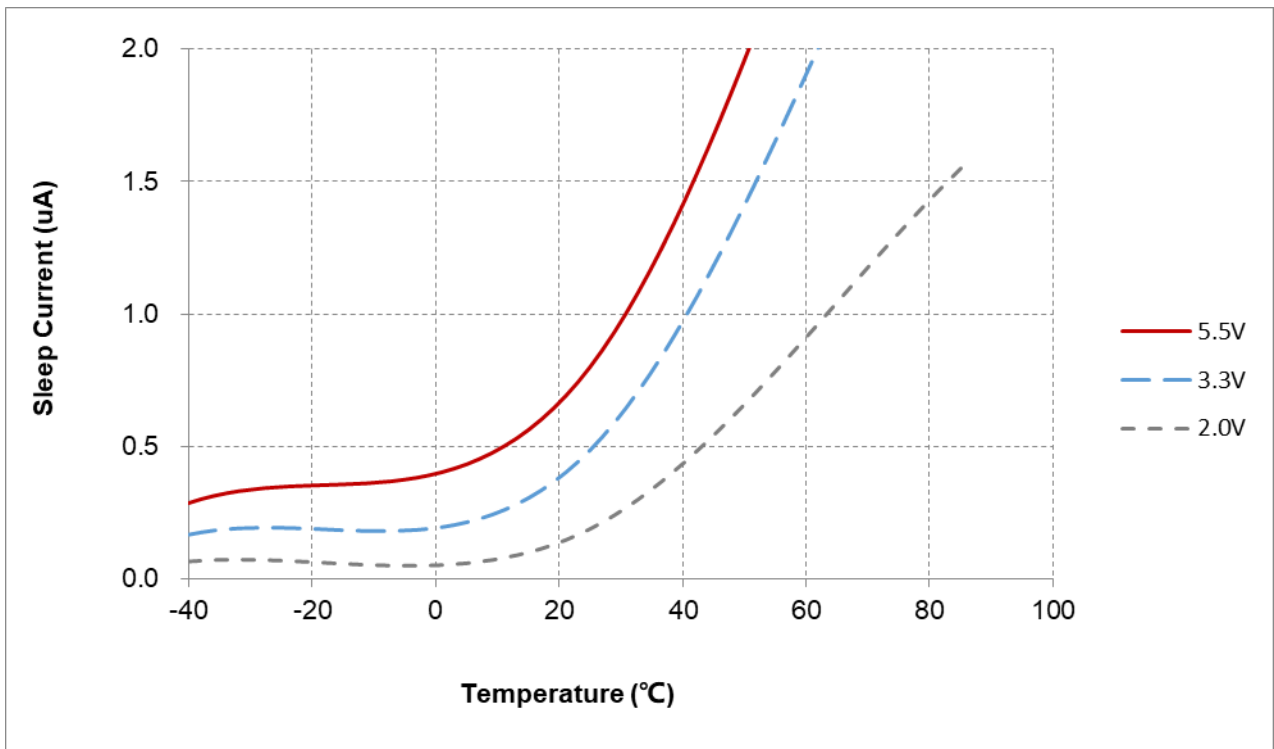


图 19-4 Sleep Current (I_{SB}) vs. Temperature

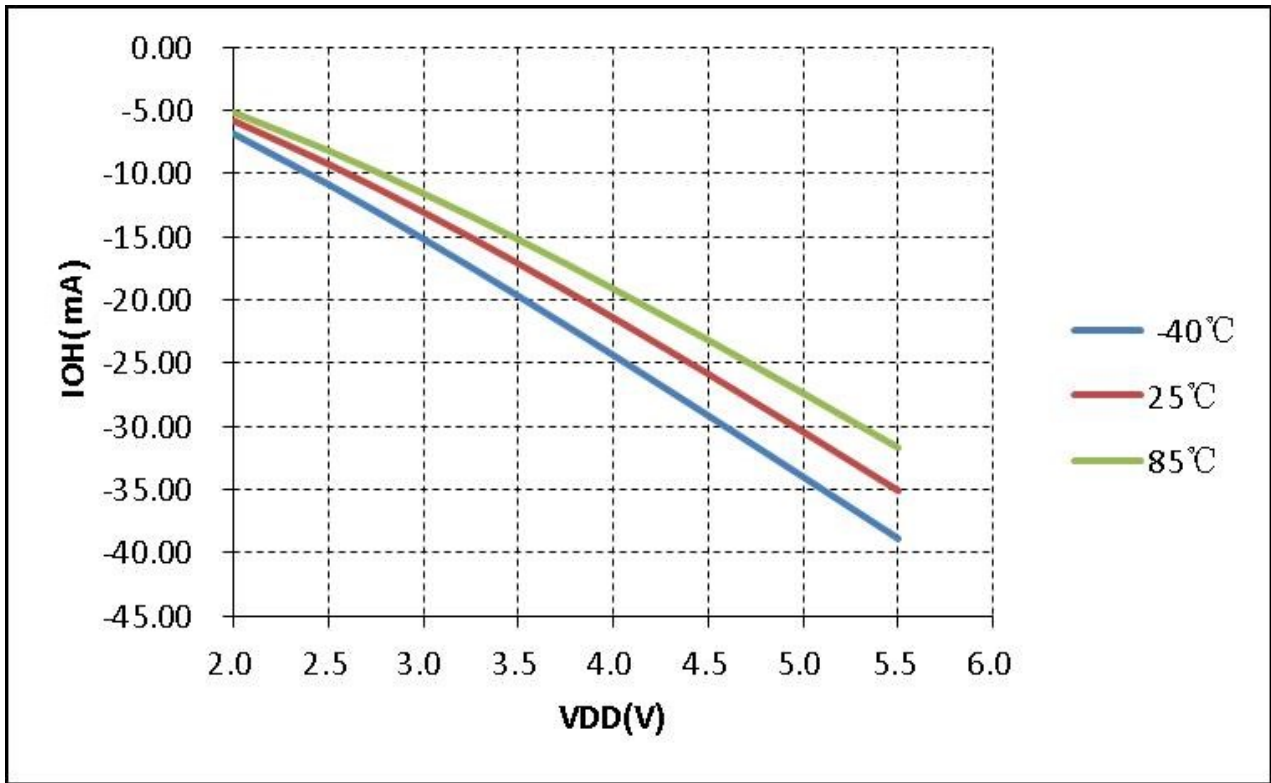


图 19-5 IOH vs. VDD, VOH @L = -32mA

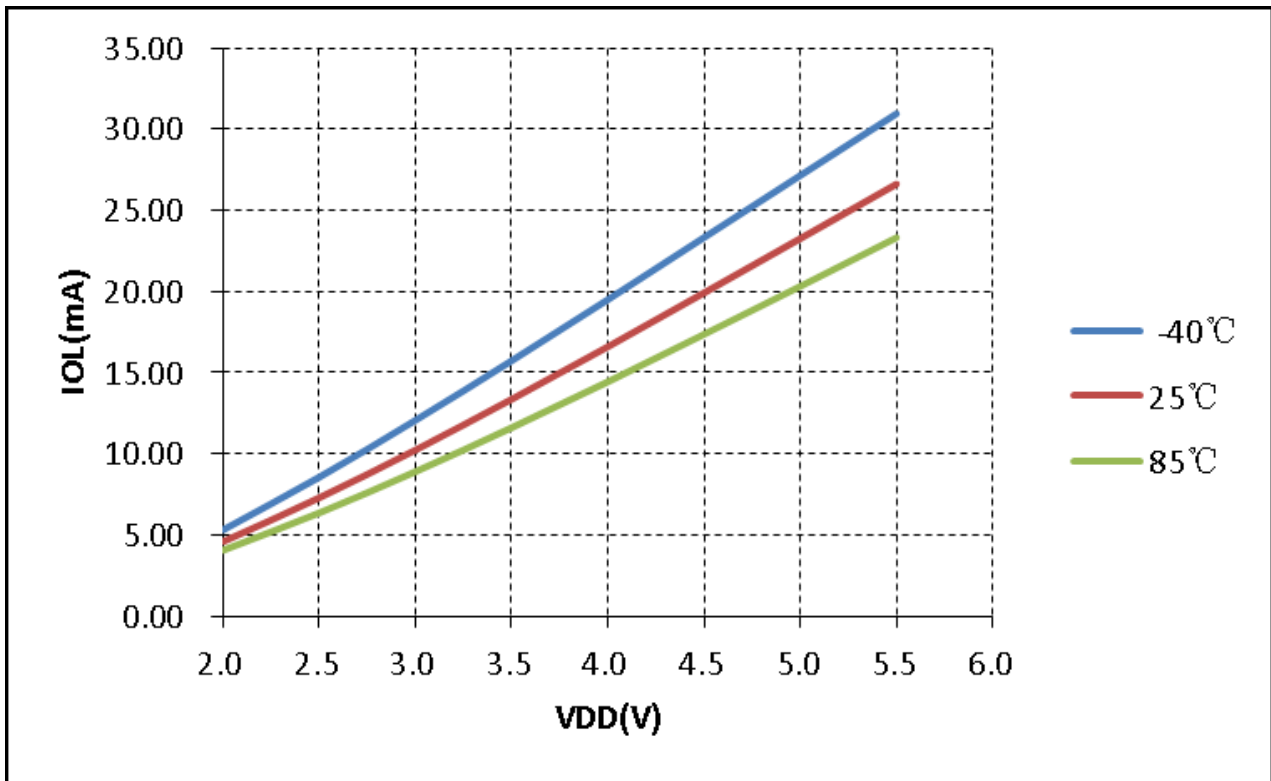
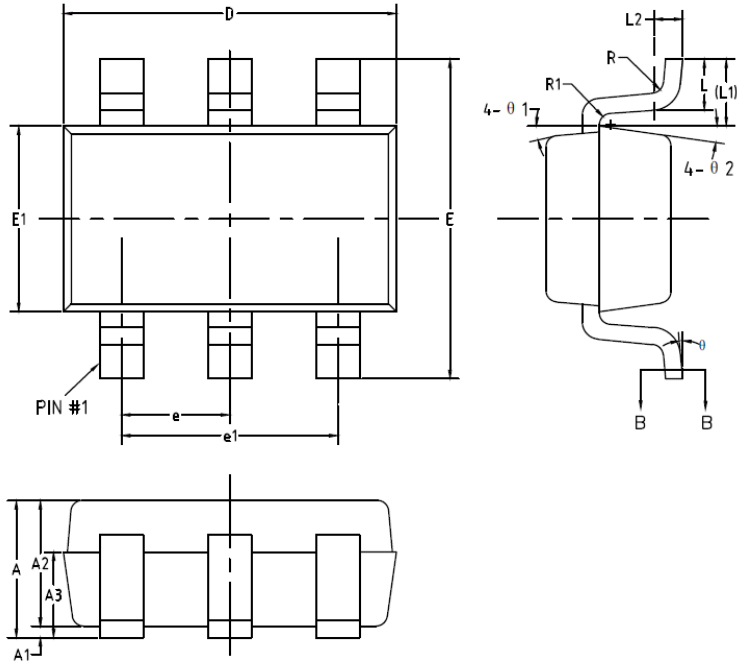


图 19-6 IOL vs. VDD, VOL @L = 25mA

20. 封装信息

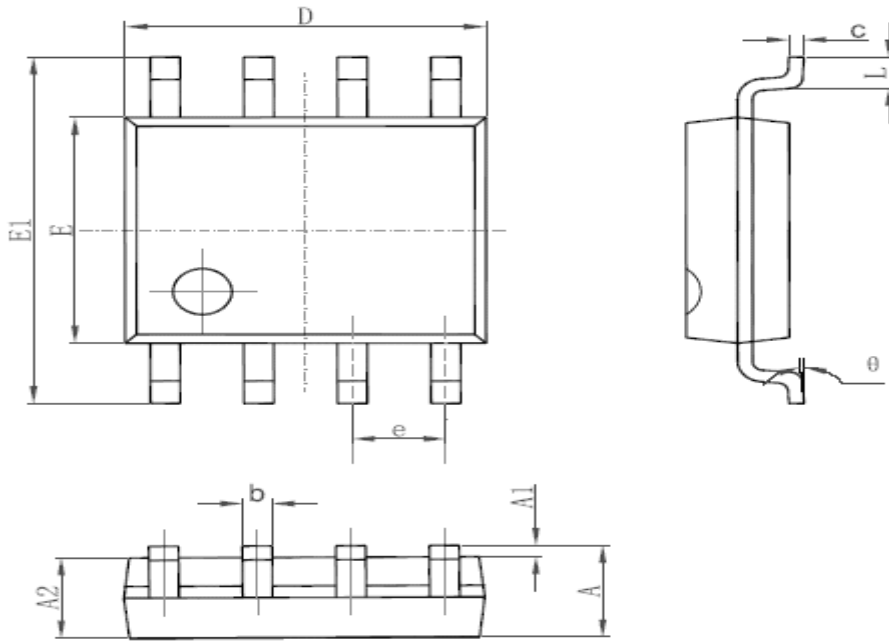
本芯片的封装形式有 SOT23-6、SOP8、MSOP10、SOP14 和 SOP16 封装。具体封装尺寸信息如下：

SOT23-6



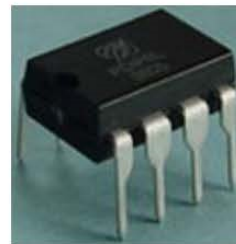
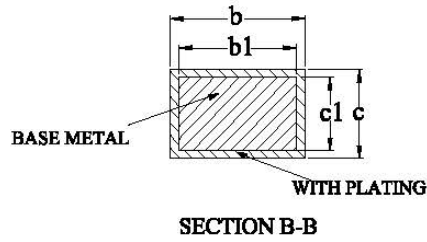
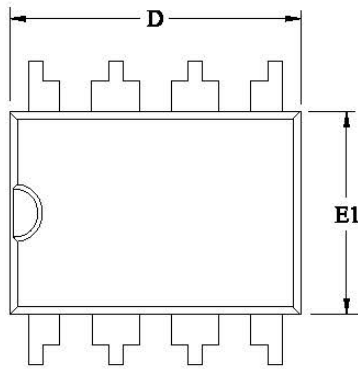
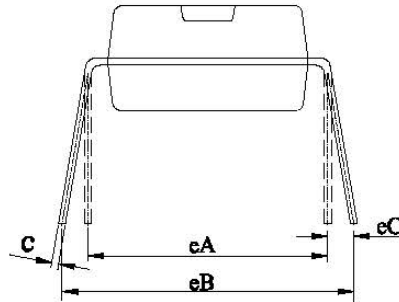
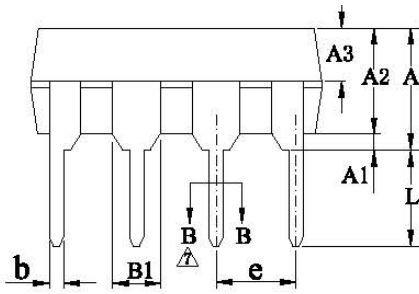
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	-	1.45	-	0.057
A1	0	0.15	0	0.006
A2	0.90	1.30	0.035	0.051
A3	0.60	0.70	0.024	0.028
b	0.39	0.49	0.015	0.019
b1	0.35	0.45	0.014	0.018
c	0.08	0.22	0.003	0.009
c1	0.08	0.20	0.003	0.008
D	2.80	3.00	0.110	0.118
E	2.60	3.00	0.102	0.118
E1	1.50	1.70	0.059	0.067
e	0.85	1.05	0.033	0.041
e1	1.80	2.00	0.071	0.079
L	0.35	0.60	0.014	0.024
L1	0.60REF		0.024REF	
L2	0.25BSC		0.010BSC	
R	0.10	-	0.004	-
R1	0.10	0.25	0.004	0.010
theta	0°	8°	0°	8°
theta1	7°	11°	7°	11°
theta2	8°	12°	8°	12°

SOP8



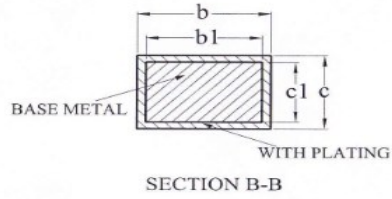
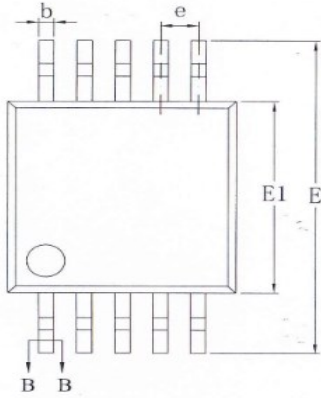
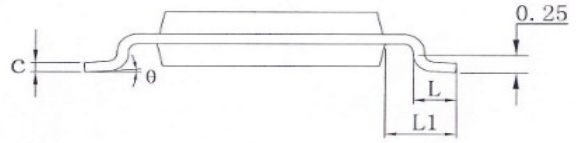
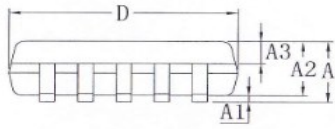
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

DIP8



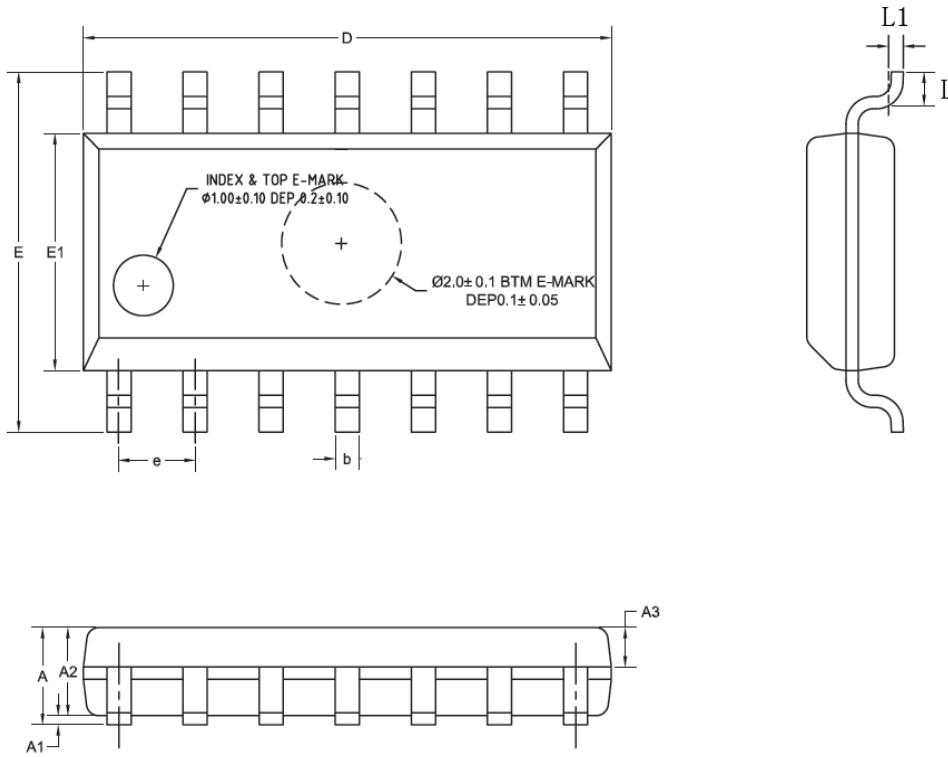
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	3.600	4.000	0.142	0.157
A1	0.510	-	0.020	-
A2	3.200	3.400	0.126	0.134
A3	1.550	1.650	0.061	0.065
b	0.440	0.520	0.017	0.020
b1	0.430	0.490	0.017	0.019
B1	1.520 (REF)		0.060 (REF)	
c	0.250	0.290	0.010	0.011
c1	0.240	0.260	0.009	0.010
D	9.150	9.350	0.360	0.368
E1	6.250	6.450	0.246	0.254
e	2.540 (BSC)		0.100 (BSC)	
eA	7.620 (REF)		0.300 (REF)	
eB	7.620	9.300	0.300	0.366
eC	0	0.840	0	0.033
L	3.000	-	0.118	-

MSOP10



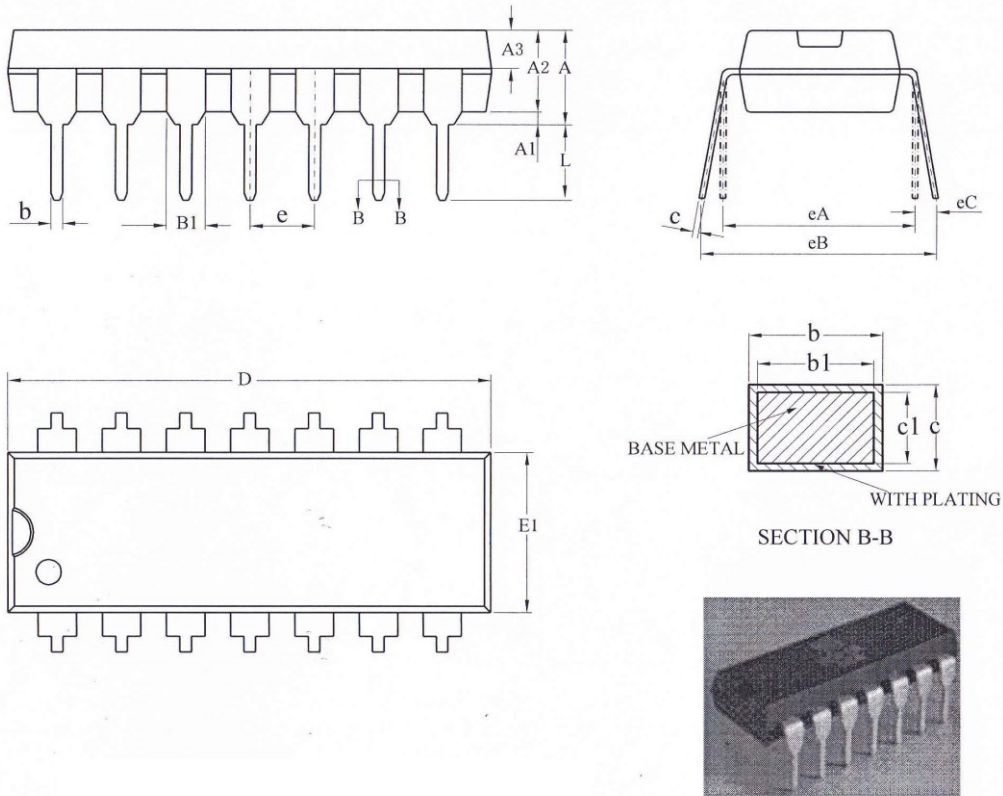
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	-	1.100	-	0.043
A1	0.050	0.150	0.002	0.006
A2	0.750	0.950	0.030	0.037
A3	0.300	0.400	0.012	0.016
b	0.180	0.260	0.007	0.010
b1	0.170	0.230	0.007	0.009
c	0.150	0.190	0.006	0.007
c1	0.140	0.160	0.006	0.006
D	2.900	3.100	0.114	0.122
E	4.700	5.100	0.185	0.201
E1	2.900	3.100	0.114	0.122
e	0.500 (BSC)		0.020 (BSC)	
L	0.400	0.700	0.016	0.028
L1	0.950 (REF)		0.037 (REF)	
theta	0	8°	0	8°

SOP14



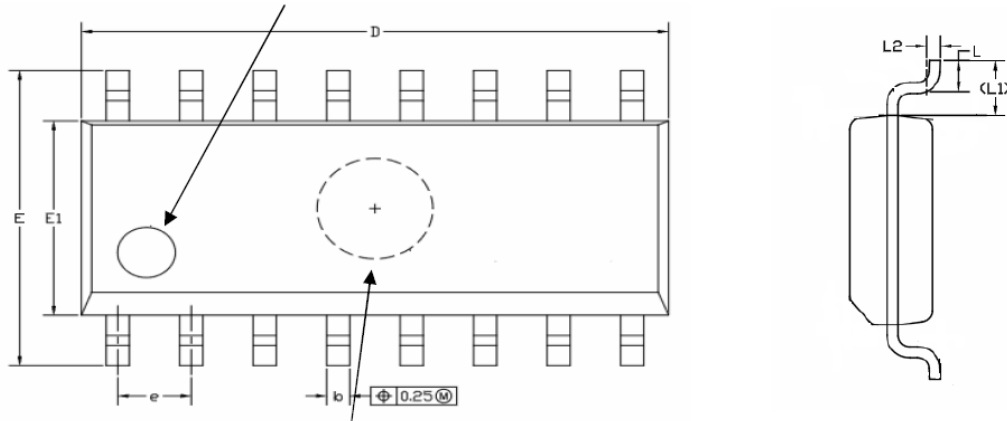
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	-	1.700	-	0.066
A1	0.100	0.200	0.004	0.008
A2	1.400	1.500	0.055	0.059
A3	0.620	0.680	0.024	0.027
b	0.370	0.420	0.015	0.016
D	8.710	8.910	0.343	0.347
E	5.900	6.100	0.232	0.238
E1	3.800	3.950	0.150	0.156
e	1.270 (BSC)		0.050 (BSC)	
L	0.500	0.700	0.020	0.027
L1	0.250 (BSC)		0.010 (BSC)	

DIP14

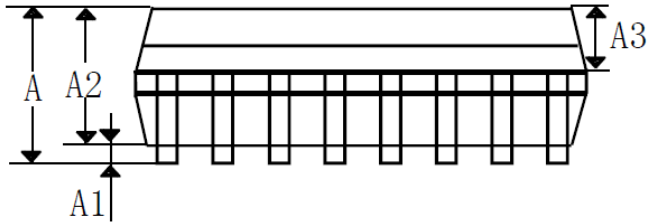


Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	3.600	4.000	0.142	0.157
A1	0.510	-	0.020	-
A2	3.200	3.400	0.126	0.134
A3	1.470	1.570	0.058	0.062
b	0.440	0.520	0.017	0.020
b1	0.430	0.490	0.017	0.019
B1	1.520 (REF)		0.060 (REF)	
c	0.250	0.290	0.010	0.011
c1	0.240	0.260	0.009	0.010
D	19.000	19.200	0.748	0.756
E1	6.250	6.450	0.246	0.254
e	2.540 (BSC)		0.100 (BSC)	
eA	7.620 (REF)		0.300 (REF)	
eB	7.620	9.300	0.300	0.365
eC	0	0.840	0	0.033
L	3.000	-	0.118	-

SOP16

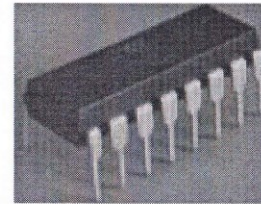
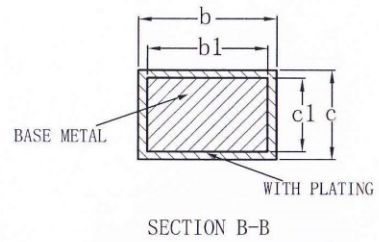
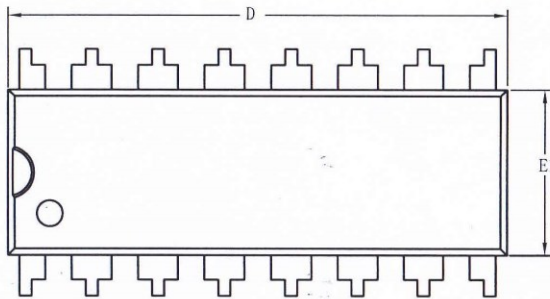
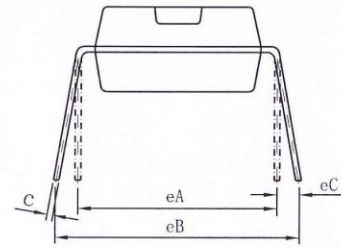
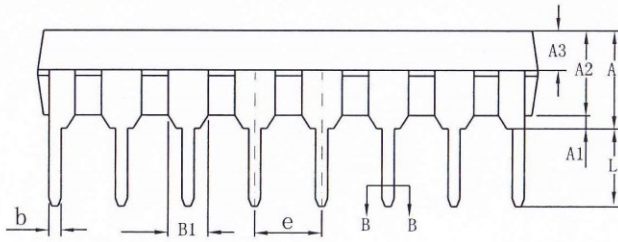


$\Phi 2.0 \pm 0.05$ DEP $0.1 + 0.03 / -0.05$



Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	-	1.700	-	0.066
A1	0.100	0.200	0.004	0.008
A2	1.420	1.480	0.056	0.058
A3	0.620	0.680	0.024	0.027
D	9.960	10.160	0.392	0.396
E	5.900	6.100	0.232	0.238
E1	3.870	3.930	0.152	0.153
b	0.370	0.430	0.015	0.017
e	1.240	1.300	0.048	0.051
L	0.500	0.700	0.020	0.027
L1	1.050 (REF)		0.041 (REF)	
L2	0.250 (BSC)		0.010 (BSC)	

DIP16



Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	3.600	4.000	0.142	0.157
A1	0.510	-	0.020	-
A2	3.200	3.400	0.126	0.134
A3	1.470	1.570	0.058	0.062
b	0.440	0.520	0.017	0.020
b1	0.430	0.490	0.017	0.019
B1	1.520 (REF)		0.060 (REF)	
c	0.250	0.290	0.010	0.011
c1	0.240	0.260	0.009	0.010
D	19.000	19.200	0.748	0.756
E1	6.250	6.450	0.246	0.254
e	2.540 (BSC)		0.100 (BSC)	
eA	7.620 (REF)		0.300 (REF)	
eB	7.620	9.300	0.300	0.365
eC	0	0.840	0	0.033
L	3.000	-	0.118	-

联系信息**Fremont Micro Devices Corporation**

#5-8, 10/F, Changhong Building
Ke-Ji Nan 12 Road, Nanshan District,
Shenzhen, Guangdong, PRC 518057

Tel: (+86 755) 8611 7811

Fax: (+86 755) 8611 7810

Fremont Micro Devices (HK) Limited

#16, 16/F, Block B, Veristrong Industrial Centre,
34-36 Au Pui Wan Street, Fotan, Shatin, Hong Kong SAR

Tel: (+852) 2781 1186

Fax: (+852) 2781 1144

<http://www.fremontmicro.com>

* Information furnished is believed to be accurate and reliable. However, Fremont Micro Devices Corporation assumes no responsibility for the consequences of use of such information or for any infringement of patents or other rights of third parties, which may result from its use. No license is granted by implication or otherwise under any patent rights of Fremont Micro Devices Corporation. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. Fremont Micro Devices Corporation products are not authorized for use as critical components in life support devices or systems without express written approval of Fremont Micro Devices Corporation. The FMD logo is a registered trademark of Fremont Micro Devices Corporation. All other names are the property of their respective owners.