



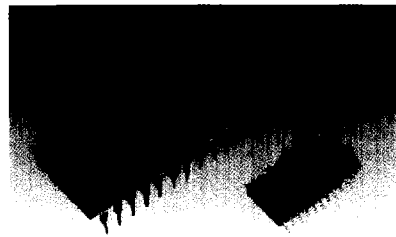
DC MEASUREMENT ADCs

PRODUCT LINE UP

Device	Resolution	Output Rate	INL	DNL	Power Dissipation	Supply Voltage	Package
AK5505-VP	16	60Hz	0.0015%	±1/8LSB	300uA (1uA)	+5V(Digital) +5/10V single or ±5V (Analog)	24 pin DIP
AK5505-VS				24 pin SOP			
AK5506-VP	20	60Hz	0.0015%	19bit	300uA (1uA)	+5V(Digital) +5/10V single or ±5V (Analog)	24 pin DIP
AK5506-VS				24 pin SOP			
AK5543-VS	20	100Hz	0.003%	20bit	300uA (0.1uA)	+3.0~4.0V	24 pin SOP
AK5545-VS	20	160Hz	0.0015%	20bit	300uA (0.1uA)	+4.5~5.5V	24 pin SOP

AK5505/06

16/20bit Ultra Low Power $\Delta\Sigma$ ADC



- ① Self Calibration Circuit
- ② Very low power consumption: 300uA (1uA at power down)
- ③ 4ch inputs
- ④ Output Rate: 60Hz
- ⑤ INL: 0.0015%
- ⑥ DNL: ±1/8LSB (AK5505)/No Missing Code (AK5506)
- ⑦ Serial Interface
- ⑧ Package: 24 pin DIP/SOP

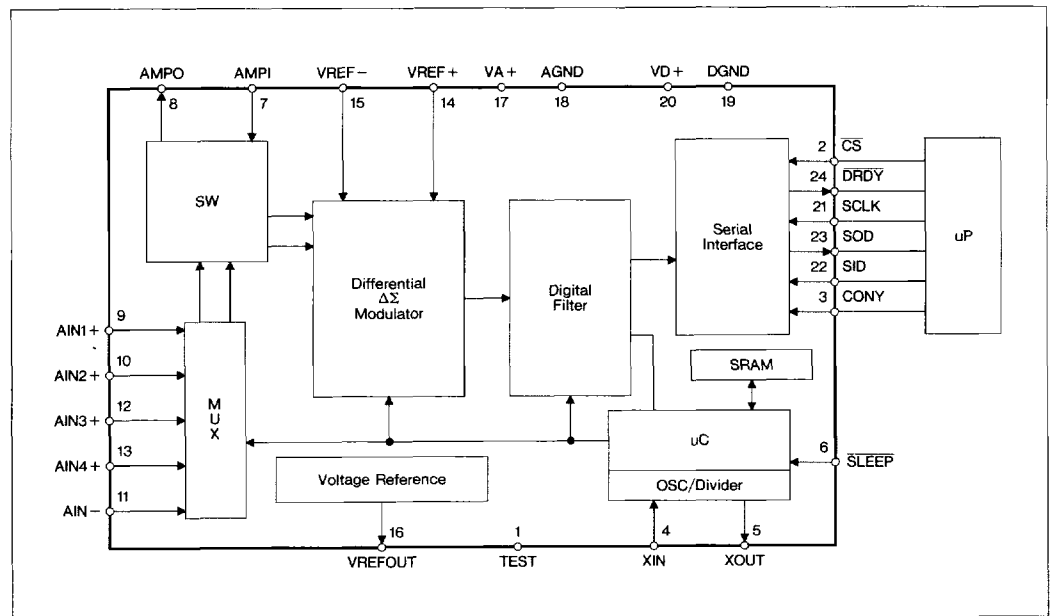
24pin DIP (31.8×13.7×3.8mm)

24pin SOP (8.4×15.8×2.5mm)

AK5543/45

20bit Ultra Low Power $\Delta\Sigma$ ADC

- ① Self Calibration Circuit
- ② Very low power consumption: 300uA (0.1uA at power down)
- ③ Low Operation Voltage: 3.5V (AK5543)/5.0V (AK5545)
- ④ 4ch inputs
- ⑤ Output Rate: 160Hz (AK5545)/100Hz (AK5543)
- ⑥ INL: 0.003% (AK5543)/0.0015% (AK5545)
- ⑦ DNL: No Missing Code
- ⑧ On Chip Clock Divider
- ⑨ External AMP Interface
- ⑩ Serial Interface
- ⑪ Package: 24 pin SOP (8.4×15.8×2.5mm)



AK5543/45 BLOCK DIAGRAM



AK5505/6

超低消費電力 16, 20ビット 4ch A/Dコンバータ

概要

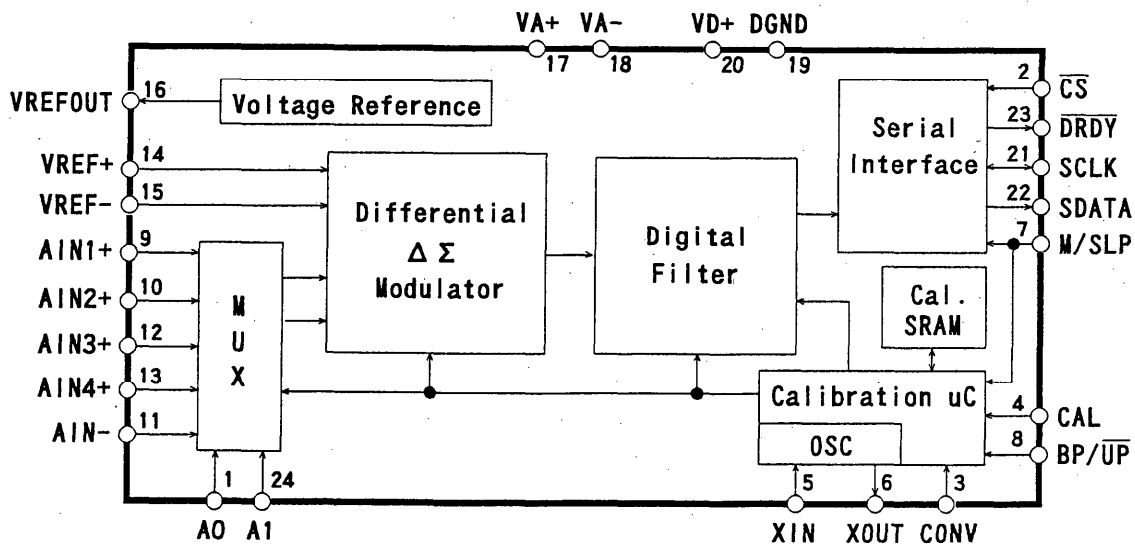
AK5505/6は低周波信号を測定するための理想的な低価格CMOS A/Dコンバータです。ΔΣ変換方式を採用し、16ビット分解能（AK5505）および20ビット分解能（AK5506）で最大60Hzのアウトプットレートを実現しています。

AK5505/6では4chの疑似差動入力のうち1chを選択して、任意のタイミングで変換を開始することが可能です。内蔵のデジタルフィルタは50および60Hzの電源ノイズに加えて高周波ノイズも除去します。

AK5505/6は従来のVFCや積分型A/Dコンバータに比べて優れた性能をもち、外付け部品が少なく、温度計・はかり等のDC計測用途に最適です。

特長

- 4次ΔΣ方式 CMOS モノリシックA/Dコンバータ
- アウトプットレート: max. 60Hz
- 超低消費電流: 300μA
(スリープ時: 1μA)
- 4チャンネル疑似差動入力
- セルフキャリブレーション回路内蔵
- 直線性誤差: ±0.0015%FS
- シリアルインタフェース
- デジタル電源: +5V単電源
アナログ電源: +10V/+5V単電源, ±5V両電源動作可能
- パッケージ: 24ピン DIP, SOP
- VFC, 積分型A/Dコンバータの置き換えに最適

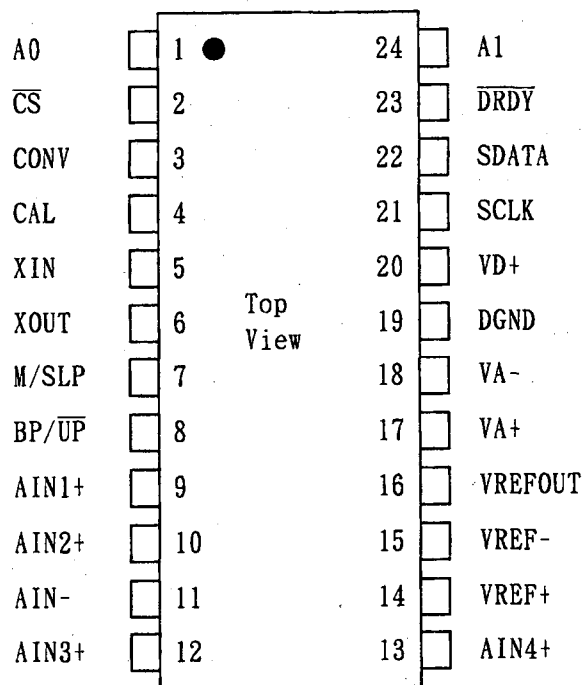


ブロック図

■ オーダリングガイド

製品番号	分解能	温度範囲	パッケージ
AK5505-VP	16ビット	0~70°C	24ピン プラスチックDIP
AK5505-VS	16ビット	0~70°C	24ピン SOP
AK5505-WS	16ビット	-40~85°C	24ピン SOP
AK5506-VP	20ビット	0~70°C	24ピン プラスチックDIP
AK5506-VS	20ビット	0~70°C	24ピン SOP
AK5506-WS	20ビット	-40~85°C	24ピン SOP
AKD5505	AK5505/6評価用ボード		

■ ピン配置



ピン／機能

ピン番号	ピン名称	I/O	機能															
1	A0	I	アドレス入力ピン (プルダウンピン)															
2 4	A1		<table border="1"> <thead> <tr> <th>A1</th> <th>A0</th> <th>入力ピン</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>AIN1</td> </tr> <tr> <td>0</td> <td>1</td> <td>AIN2</td> </tr> <tr> <td>1</td> <td>0</td> <td>AIN3</td> </tr> <tr> <td>1</td> <td>1</td> <td>AIN4</td> </tr> </tbody> </table>	A1	A0	入力ピン	0	0	AIN1	0	1	AIN2	1	0	AIN3	1	1	AIN4
A1	A0	入力ピン																
0	0	AIN1																
0	1	AIN2																
1	0	AIN3																
1	1	AIN4																
2	CS	I	チップセレクトピン															
3	CONV	I	変換開始/アドレスラッチピン															
4	CAL	I	キャリブレーションピン															
5	XIN	I	クロック入力ピン XOUTピンとの間に水晶振動子を接続します。外部クロックを使用する場合はこのピンにクロックを入力します。															
6	XOUT	O	クロック出力ピン 外部クロックを使用する場合はオープンにしてください。															
7	M/SLP	I	シリアルクロック/スリープモードピン 3値入力ピンで、シリアルインタフェースモードの選択ピンとスリープピンを兼ねています。 "L" [$\leq 0.1 \times (VD+)$]: SECモード "H" [$\geq 0.9 \times (VD+)$]: SSCモード "M" [$0.45 \sim 0.55 \times (VD+)$]: スリープモード															
8	BP/UP	I	入力レンジ選択ピン "H": バイポーラモード、"L": ユニポーラモード。 アナログ入力レンジの項参照。															
9	AIN1+	I	アナログ正入力ピン															
10	AIN2+																	
12	AIN3+																	
13	AIN4+																	
11	AIN-	I	アナログ負入力ピン															
14	VREF+	I	基準正電圧入力ピン VREF+ピンとVREF-ピンの電圧差が入力レンジを決定します。															
15	VREF-	I	基準負電圧入力ピン															
16	VREFOUT	O	基準電圧出力ピン, (VA+)-2.5V VA+を基準に出力されます。															
17	VA+	-	アナログ正電源ピン															
18	VA-	-	アナログ負電源ピン															
19	DGND	-	デジタルグランドピン, 0V															
20	VD+	-	デジタル電源ピン, 5V															
21	SCLK	I/O	シリアルクロックピン															
22	SDATA	O	シリアルデータ出力ピン															
23	DRDY	O	データレディピン スリープ状態では"H"です。															

絶対最大定格

(DGND=0V; 注1)

パラメータ	記号	min	max	単位	
電源電圧: デジタル正電源 (注2)	VD+	-0.3	6.0 or (VA+)+0.3	V	
アナログ正電源	VA+	-0.3	12.0	V	
アナログ負電源	VA-	0.3	-6.0	V	
(VA+)-(VA-)	Vdiff1	-0.3	12.0	V	
(VA+)-(VD+)	Vdiff2	-0.3	6.0	V	
入力電流 (電源ピンを除く)	IIN	-	±10	mA	
アナログ入力電圧	VINA	(VA-)-0.3	(VA+)+0.3	V	
AIN+, AIN-, VREF+, VREF-				V	
デジタル入力電圧	VIND	-0.3	(VD+)+0.3	V	
動作周囲温度	AK5505/06-VP	Ta	0	70	°C
	AK5505/06-VS		0	70	°C
	AK5505/06-WS		-40	85	°C
保存温度	Tstg	-65	150	°C	

注: 1. 電圧は全てグランドピンに対する値です。

2. VD+は常に(VA+)+0.3V以下にして、6.0Vを超えてはいけません。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(DGND=0V; 注1)

パラメータ	記号	min	typ	max	単位
電源電圧: デジタル正電源	VD+	4.5	5.0	5.5	V
アナログ正電源	VA+	4.5	5.0	11.0	V
アナログ負電源	VA-	0.0	-5.0	-5.5	V
(VA+)-(VA-)	Vdiff	4.5	10.0	11.0	V
アナログ基準入力電圧 (注3)	ΔVREF	1.0	2.5	3.0	V
アナログ入力電圧: ユニポーラ	ΔVAIN	0.0	-	ΔVREF	V
(注4) バイポーラ		-ΔVREF	-	ΔVREF	V

注: 1. 電圧は全てグランドピンに対する値です。

3. ΔVREF=(REF+)-(REF-)。

4. ΔVAIN=(AIN+)-(AIN-)。AK5505/6はアナログ電源 (VA+, VA-) までの電圧を入力できます。
ΔVAIN(max)以上の入力に対しては、ΔVAIN(max)の1.5倍まで正のフルスケール (FFFF[16進:
16ビット], FFFFF[16進:20ビット]) を出力し、ΔVAIN(min)以下の入力に対しては、ΔVAIN(min)
の1.5倍まで負のフルスケール (0000[16進:16ビット], 00000[16進:20ビット]) を出力します。
1.5倍を超えた入力に対して出力データは不定です。

※ 本データシートの内容については、予告なしに変更修正する場合があります。

※ 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性 (AK5505)

(Ta=Tmin~Tmax; VA+, VD+=5.0V; VA--=-5.0V; DGND=0.0V; VREF+=2.5V(外部); VREF-=0.0V;
 fclk=32.768kHz, fout=20Hz; AIN⁺およびVREF⁺の入力RCフィルタ(R=2kΩ, C=10nF)(注5);
 ハイスレモード; アナログ入力チャネル=AIN1+; 1LSB=38uV:ユニポーラモード時, 1LSB=76uV:ハイスレモード時)

パラメータ	AK5505-V			AK5505-W			単位
	min	typ	max	min	typ	max	
精度							
直線性誤差		0.0015	0.003		0.0015	0.003	±%FS
微分非直線性		±1/8	±1/2		±1/8	±1/2	LSB
フルスケール誤差 (注7)		±0.25	±2		±0.25	±2	LSB
ドリフト (注8)		±0.25			TBD		LSB
ユニポーラオフセット (注7)		±0.5	±4		±0.5	±4	LSB(注6)
ドリフト (注8)		±0.5			±1.0		LSB(注6)
ハイスレオフセット (注7)		±0.25	±2		±0.25	±2	LSB
ドリフト (注8)		±0.25			±0.5		LSB
出力ノイズ		0.14			0.14		LSBrms
基準電圧源 (内蔵)							
出力電圧		(VA+)-2.5			(VA+)-2.5		V
絶対誤差			100			100	mV
ラインレギュレーション		1			1		mV/V
出力温度係数		60			60		ppm/°C
出力ノイズ		50			50		uV(p-p)
駆動電流	ソース電流		3			3	uA
	シンク電流		50			50	uA
電源							
電源電流							
動作時	合計	300	450	300	450		uA
	アナログ電源, IA	260		260			uA
	デジタル電源, ID	40		40			uA
	パワーダウン時 (注9)	1		1			uA
電源変動除去比	正電源	80		80			dB
	負電源	80		80			dB
アナログ入力							
入力レゾリューション (AIN+)-(AIN-)							
	ユニポーラ	0	+2.5	0	+2.5		V
	ハイスレ	-2.5	+2.5	-2.5	+2.5		V
同相信号除去比	DC	105		105			dB
	50, 60Hz (注10)	120		120			dB
オフチャネルイミュレーション		120		120			dB
入力容量		15		15			pF
DCハイス電流 (注5)		1		1			nA

- 注: 5. AIN+, AIN-, VREF+, VREF-ピンはDCでは非常に高い入力抵抗をもち、マスタクロックの周波数に比例した若干の動的負荷を形成します。そのため入力のRCフィルタの値は重要です。
6. ユニポーラモード時のLSBです。
7. 規格値はその温度でキャリブレーションしたときの値です。
8. 25°Cでキャリブレーションした後、全保証温度内におけるドリフトです。これらの誤差はその温度で再キャリブレーションすることにより、取り除かれます。
9. 全出力ピンは無負荷で、全入力ピンはCMOS入力です。
10. XIN=32.768kHz

アナログ特性 (AK5506)

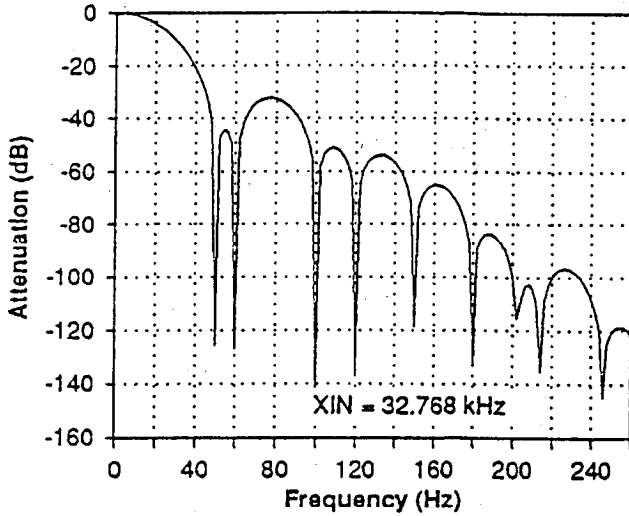
($T_a = T_{min} \sim T_{max}$; $V_{A+}, V_{D+} = 5.0V$; $V_{A-} = -5.0V$; $DGND = 0.0V$; $V_{REF+} = 2.5V$ (外部); $V_{REF-} = 0.0V$;
 $f_{CLK} = 32.768kHz$, $f_{out} = 20Hz$; A_{IN} ピンおよび V_{REF} ピンの入力RCフィルタ($R = 2k\Omega$, $C = 10nF$)(注5);
 ハイスレモート; アナログ入力チャネル= A_{IN1+} ;
 $1LSB = 2.384\mu V$; エコモード時, $1LSB = 4.768\mu V$; ハイスレモート時)

パラメータ	AK5506-V			AK5506-W			単位	
	min	typ	max	min	typ	max		
精度								
直線性誤差	0.0015 0.003			0.0015 0.003			±%FS	
微分非直線性 (コード欠けなし)	18	19		18	19		Bit	
フルスケール誤差 (注7)	±4 ±32			±4 ±32			LSB	
ドリフト (注8)	±4			TBD			LSB	
エコモードオフセット (注7)	±8 ±64			±8 ±64			LSB(注6)	
ドリフト (注8)	±8			±16			LSB(注6)	
ハイスレモードオフセット (注7)	±4 ±32			±4 ±32			LSB	
ドリフト (注8)	±4			±8			LSB	
出力ノイズ	2.2			2.2			LSB _{rms}	
基準電圧源 (内蔵)								
出力電圧	(VA+)-2.5			(VA+)-2.5			V	
絶対誤差	100			100			mV	
ラインレギュレーション	1			1			mV/V	
出力温度係数	60			60			ppm/°C	
出力ノイズ	50			50			uV(p-p)	
駆動電流	ソース電流	3			3			uA
	シンク電流	50			50			uA
電源								
電源電流								
動作時 合計	300 450			300 450			uA	
アナログ電源, IA	260			260			uA	
デジタル電源, ID	40			40			uA	
パワーダウン時 (注9)	1			1			uA	
電源変動除去比 正電源	80			80			dB	
負電源	80			80			dB	
アナログ入力								
入力レンジ (AIN+)-(AIN-)								
エコモード	0	+2.5		0	+2.5		V	
ハイスレモード	-2.5	+2.5		-2.5	+2.5		V	
同相信号除去比 DC	105			105			dB	
50, 60Hz (注10)	120			120			dB	
オフチャネルアイソレーション	120			120			dB	
入力容量	15			15			pF	
DCハイス電流 (注5)	1			1			nA	

ダイナミック特性

パラメータ	記号	クロック比	単位
サンプリング周波数	fs	fCLK/2	Hz
出力更新レート (CONV="H")	fout	fCLK/1622	Hz
カットオフ周波数	f-3dB	fCLK/1928	Hz
セットリングタイム (FSステップ時 ±0.0007%FS)	ts	1/fout	s

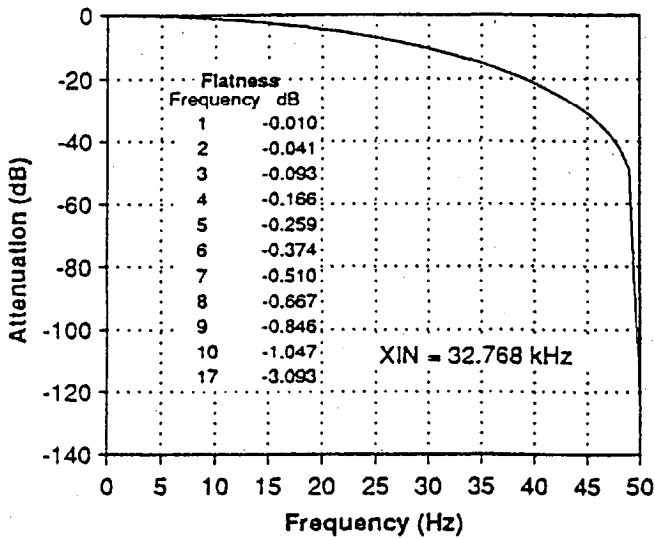
■ フィルタ特性



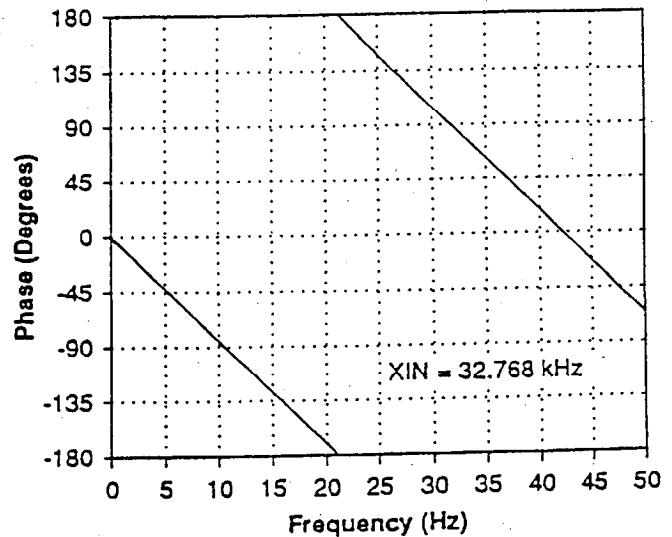
260Hzまでの振幅特性

Frequency (Hz)	Notch Depth (dB)	Frequency (Hz)	Minimum Attenuation (dB)
50	125.6	50±1%	55.5
60	126.7	60±1%	58.4
100	145.7	100±1%	62.2
120	136.0	120±1%	68.4
150	118.4	150±1%	74.9
180	132.9	180±1%	87.9
200	102.5	200±1%	94.0
240	108.4	240±1%	104.4

ノッチ点の減衰量 (fCLK=32.768kHz)



50Hzまでの振幅特性



50Hzまでの位相特性

電 気 的 特 性

■ DC特性

(Ta=Tmin~Tmax; VA+, VD+=5.0V±10%; VA--5.0V±10%; DGND=0V; 静的状態での測定)

パラメータ	AK5505-V, AK5505-W, AK5506-V, AK5506-W				
	記号	min	typ	max	単位
キャリアレーションメモリ保持電源電圧 (VD+, VA+)	VMR	2.0	-	-	V
"H"入力電圧 (XIN)		3.5	-	-	V
		(M/SLP)	0.9VD+	-	-
(XIN, M/SLPを除く全ピン)	VIH	2.0	-	-	V
"L"入力電圧 (XIN)		-	-	1.5	V
		(M/SLP)	-	-	0.1VD+
(XIN, M/SLPを除く全ピン)	VIL	-	-	0.8	V
M/SLP スリープモード入力電圧	VSLP	0.45VD+	0.5VD+	0.55VD+	V
"H"出力電圧 Iout=-100uA	VOH	(VD+)-1.0	-	-	V
"L"出力電圧 Iout=1.6mA	VOL	-	-	0.4	V
入力リク電流	Iin	-	-	10	uA
3ステートリク電流	IOZ	-	-	±10	uA

■ スイッチング特性

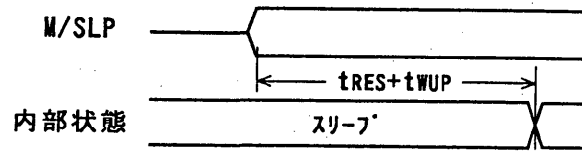
(Ta=Tmin~Tmax; VA+, VD+=5.0V±10%; VA--5.0V±10%; CL=50pF)

パラメータ	AK5505/6-VP, AK5505/6-VS, AK5505/6-WS				
	記号	min	typ	max	単位
マスタクロック周波数: 内部発振 外部供給 (注11)	fCLK		32.768		kHz
			30		100
マスタクロック・デューティサイクル		40	-	60	%
立ち上がり時間: 全デジタル入力 (注12) 全デジタル出力	trise			1.0	us
				50	ns
立ち下がり時間: 全デジタル入力 (注12) 全デジタル出力	tfall			1.0	us
				20	ns
スタートアップタイミング					
パワーオンリセット時間 (注13)	tRES		10		ms
水晶振動子スタートアップ時間 (注14)	tOSU		500		ms
ウェイクアップ時間 (注15)	tWUP		1800		tCLK
キャリアレーションタイミング					
CONV パルス幅 (CAL="H") (注16)	tCCW	100			ns
キャリアレーション開始遅延時間 (CONV*CAL="H"から)	tSCL			2tCLK+50	ns
DRDY遅延時間 CONV*CAL="H" to DRDY="H"	tDRD			1626tCLK+50	ns
キャリアレーション時間	tCAL		3246		tCLK
変換タイミング					
MUXアドレス セットアップ時間 (注17) ホールド時間	tADS	50			ns
	tADH	100			ns
CONV パルス幅	tCPW	100		(注18)	ns
変換開始遅延時間 (CONV="H"から)	tSCN			2tCLK+50	ns
BP/UP セットアップ時間 ホールド時間	tBUS	82			tCLK
	tBUH	0			ns
変換時間 (注19)	tCON		1624		tCLK

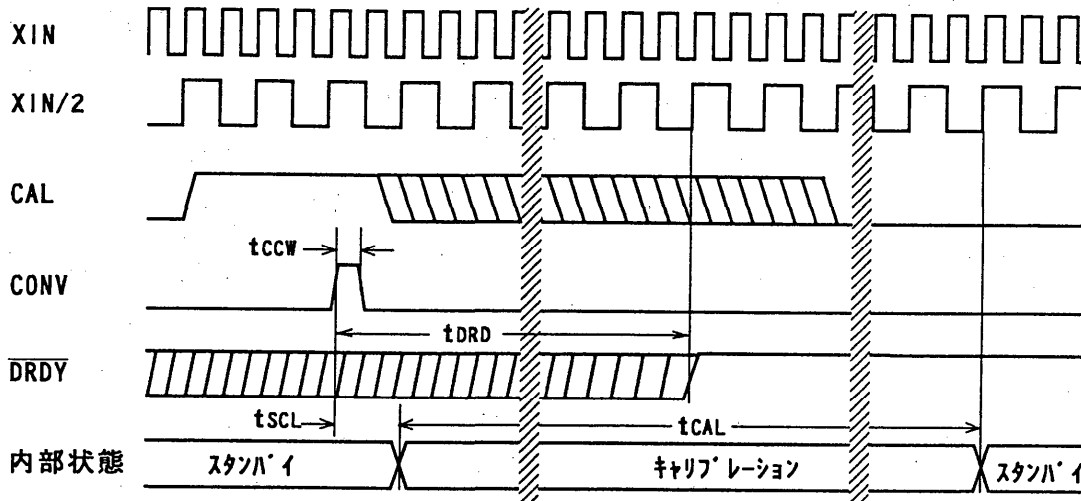
■ スイッチング特性 (つづき)

パラメータ	記号	min	typ	max	単位
シリアルインタフェースタイミング : SSC モード (M/SLP="H")					
アクセス時間: CS "L" to SDATA Out (\overline{DRDY} ="L")	tCSD1			2	tCLK
\overline{DRDY} "↓" to MSB (\overline{CS} ="L")	tDFD			2	tCLK
SDATA遅延時間: SCLK "↓" to next SDATA bit	tDD1		80	250	ns
SCLK遅延時間: SDATA MSB bit to SCLK "↑"	tCD1		1		tCLK
シリアルクロック: (出力) "H" 幅	tPH1		1		tCLK
"L" 幅	tPL1		1		tCLK
出力フローティング遅延: SCLK "↑" to Hi-Z	tFD2		1		tCLK
\overline{CS} "H" to Output Hi-Z (注20)	tFD1			2	tCLK
シリアルインタフェースタイミング : SEC モード (M/SLP="L")					
シリアルクロック (入力)	fSCLK	0		2.5	MHz
"H" 幅	tPH2	200			ns
"L" 幅	tPL2	200			ns
アクセス時間: CS "L" to SDATA Out (注21)	tCSD2		60	200	ns
SDATA遅延時間: SCLK "↓" to new SDATA bit (注22)	tDD2		130	310	ns
出力フローティング遅延: SCLK "↑" to Hi-Z	tFD4	20	80	250	ns
\overline{CS} "H" to Output Hi-Z (注23)	tFD3		40	150	ns

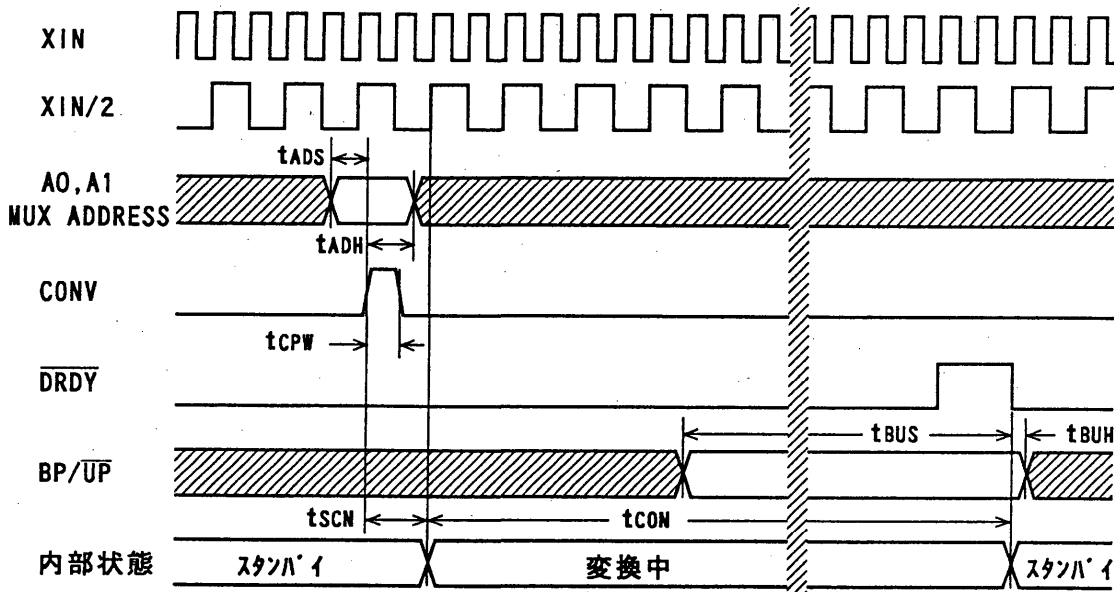
- 注:11. クロックが入力されない場合は、過大電流が流れることを防止するために、消費電流をセーブするモードになります。
12. 波形の10%~90%で規定されます。
13. 電源投入時またはスリープモード解除時に内部のパワーオンリセットが働きます。電源投入時、電源が立ち上がったから10msかつクロックが発振するまで、キャリブレーション命令や変換命令は受け付けません。またスリープ解除時、クロックが発振するまでキャリブレーション命令や変換命令は受け付けません。
14. この値は水晶振動子の特性で変わります。外部クロックではこの値は適用されません。
15. 電源投入時またはスリープ解除時にキャリブレーション可能または変換可能になるまでにかかる時間です。内部発振の場合は水晶振動子が発振してからかかる時間で、外部クロックの場合はパワーオンリセット時間後かかる時間です。
16. CONVとCALのAND信号の"↑"でキャリブレーションを開始します。CONVを"H"にしてCALにパルスを入力しても同じです。
17. 切り替えに要する時間は1t_{CLK}で、その間はどちらにも接続されません。
18. \overline{DRDY} が"↓"になる1t_{CLK}前のCONV信号が"H"ならば次の変換を開始し、"L"ならば次のCONV信号が入力されるまで変換を開始しません。
19. CONVを常に"H"にして連続的に変換すると変換時間は1622t_{CLK}になります。
20. データ出力の途中で \overline{CS} が"H"になった場合は、出力中のビットデータをクロックアウトしてからSDATA、SCLKはHi-Z状態になります。
21. \overline{CS} が \overline{DRDY} に非同期で操作される場合、 \overline{DRDY} が"H"の期間(2t_{CLK})に \overline{CS} が入力されると \overline{CS} はすぐには認識されません。 \overline{CS} を非同期で操作する場合、確実にSDATAを受信するためには、SCLKは \overline{CS} を"L"にした後、2t_{CLK}+200nsまで"H"にしないようにして下さい。
22. SCLKが"H"の状態からSDATAを出力する場合、SCLKの最初の立ち下がりパルスは無視されます。
23. SDATAはSCLKの"↓"で出力されます。SCLKの"↑"でデータをラッチして下さい。



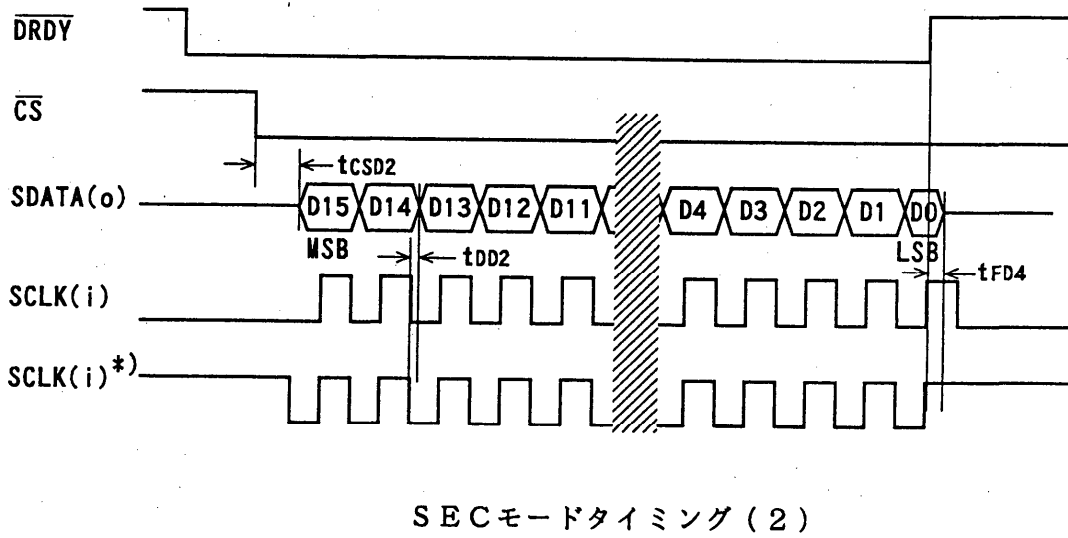
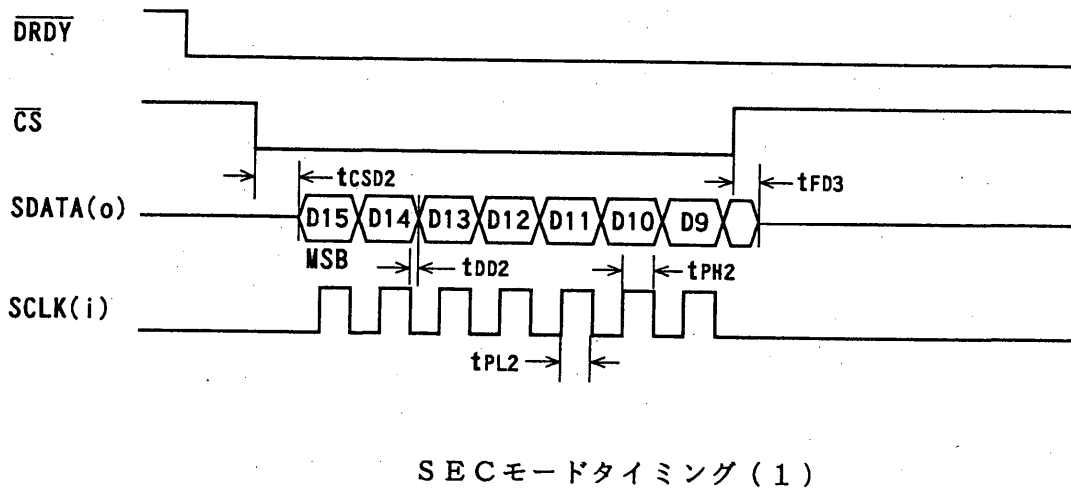
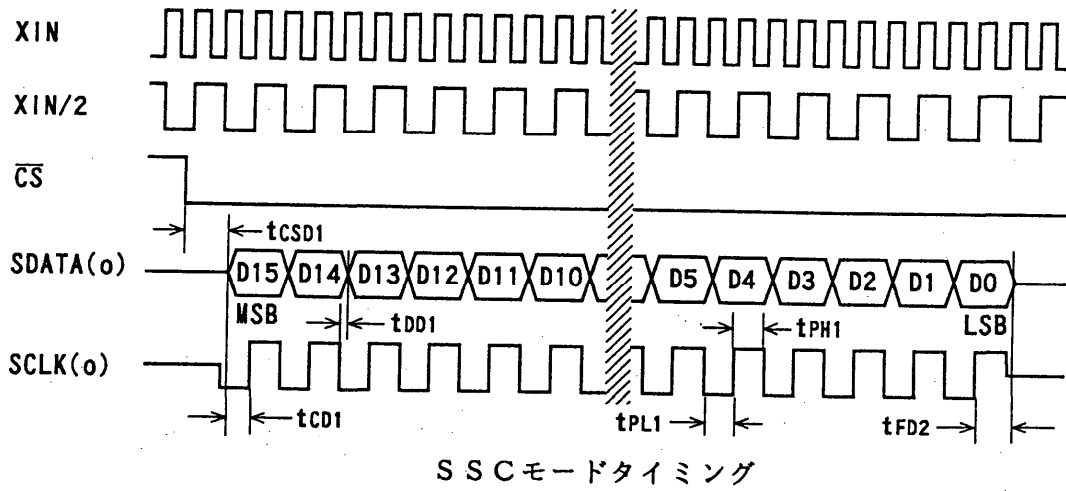
スタートアップタイミング
(内部発振の場合はtRESがtOSUになる)



キャリブレーションタイミング



変換タイミング



注) AK5506では20ビット出力になります (MSB=D19)。

*) SCLKが“H”から入った場合、最初の立ち下がりパルスは無視されます。

動作説明

■ 電源投入時

電源投入時およびスリープモード解除時には、ADCがキャリブレーション可能または変換可能になるまでに、パワーオンリセット時間（10ms）と発振子のスタートアップ時間（外部クロック使用時は除外）およびADCのウェークアップ時間（1800tCLK）がかかります。ウェークアップ期間中、ADCはスタンバイ状態です。

MODEピンを“H”または“L”で電源投入した場合は、パワーオンリセット後、発振回路が動作し始め、1800マスタクロック（tCLK）間スタンバイ状態（ウェークアップ時間）になります。この間発行された命令は1800tCLK後実行されます。ただし電源が立ち上がってから10msの間はキャリブレーション命令や変換命令は受け付けません。MODEピンを“M”に保ち、電源を投入した場合、MODEピンを“H”または“L”にするまでスリープ状態です。スリープ状態を解除するとパワーオンリセット後、発振回路が動作し始め、1800tCLK間スタンバイ状態（ウェークアップ時間）になります。この間発行された命令は1800tCLK後実行されます。この時パワーアップ時間中はキャリブレーション命令や変換命令は受け付けません。

ウェークアップ期間中にキャリブレーション命令（CAL=“H”，CONV=“H”）を発行すると、1800tCLK後必ずキャリブレーションを開始します。キャリブレーション命令は最優先で受け付けられます。例えば、ウェークアップ期間中にA/D変換命令（CAL=“L”，CONV=“H”）を発行しても、A/D変換命令の前後で1度キャリブレーション命令を発行すると1800tCLK後はキャリブレーションを開始します。ウェークアップ期間中に何も命令が発行されないと1800tCLK後もスタンバイ状態です。

■ スリープ状態

MODEピンを“M”にするとAK5505/6は直ちにスリープ状態になり、スリープ時はいかなる命令も受け付けません。データを出力している間にスリープ状態にするとデータ出力は中断され、未出力のデータは失われます。スリープ状態では発振器は止まり、VREFOUTはHi-Z出力になり、ADCの動作は停止し、消費電流は1 μ A程度になります。 $\overline{\text{DRDY}}$ は“H”になります。

スリープモード解除時には、電源投入時と同様、ADCがキャリブレーション可能または変換可能になるまでに、パワーオンリセット時間（10ms）と発振子のスタートアップ時間（外部クロック使用時は除外）およびADCのウェークアップ時間（1800tCLK）がかかります。

■ スタンバイ状態

AK5505/6はA/D変換命令やキャリブレーション命令が発行されていないときはスタンバイ状態になります。この状態は命令待ちの状態です。スタンバイ状態でキャリブレーション命令（CAL=“H”，CONV=“H”）を発行するとキャリブレーションを開始し、A/D変換命令（CAL=“L”，CONV=“H”）を発行するとA/D変換を開始します。スタンバイ状態では発振器は動作しており、A/D変換時やキャリブレーション時と同じ消費電流になります。

■ キャリブレーション動作

CALとCONVのAND信号の立ち上がりで現状の動作を中断して直ちにキャリブレーションを開始します。キャリブレーションはオフセットキャリブレーション、ゲインキャリブレーションの順に自動的に実行され、別々に実行することはできません。

キャリブレーションに要する時間は3246tCLKで、キャリブレーション終了時、CONVが“L”ならばスタンバイ状態へ、“H”ならばA/D変換を開始します。CONVを“H”に保つことにより、 \overline{DRDY} 遅延時間 (t_{DRD}) 後一度 \overline{DRDY} が“H”になり、キャリブレーション後の最初のA/D変換が終了すると \overline{DRDY} が“L”になり、キャリブレーションの終了を知ることができます。

電源投入後、A/D変換を実行する前には必ず1度キャリブレーションを実行して下さい。AK5505/6のキャリブレーションはチャンネル毎には行っておらず、入力マルチプレクサの後段を切り替えてADC部分のオフセットとゲイン誤差をキャリブレーションしています。従って、入力アドレスを更新しても再キャリブレーションの必要はありません。スリープ状態 (MODE="M") では、キャリブレーション結果は保持されます。

■ A/D変換動作

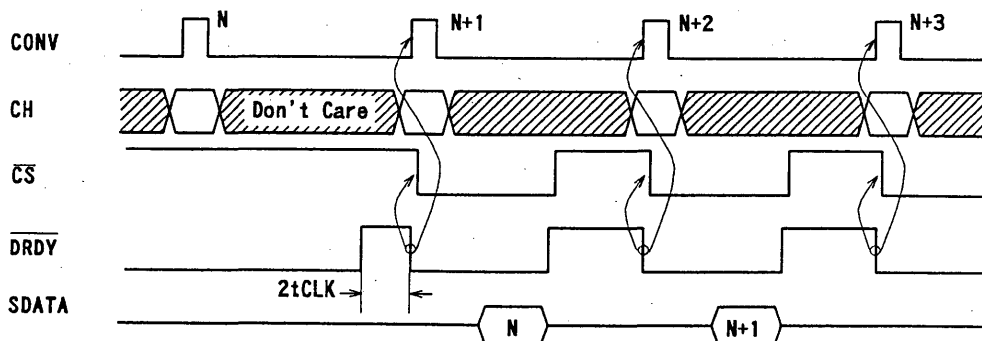
AK5505/6はスタンバイ状態でCALを“L”にしてCONVを“L”から“H”に変化させるか、キャリブレーション終了時にCONVが“H”であればA/D変換を開始します。A/D変換はアドレスで選択されたチャンネルのアナログ入力をA/D変換しており、1回の変換に1622tCLKかかります。CONVを“H”に保っておくとAK5505/6は連続的にA/D変換を行います。また、A/D変換中にCONVを再度“L”から“H”に変化させると (CAL="L")、実行中のA/D変換は直ちに中断され、新しいA/D変換を最初からやり直します。このときアドレスの更新も行われます。A/D変換終了時、CONVが“L”のときはスタンバイ状態になります。CONV信号を入力してA/D変換を開始した後、 \overline{CS} を“L”にして以前のコンバージョンデータをリードすることができます。(下図参照)

■ アドレスラッチ

AK5505/6は4つのアナログ入力チャンネルを持っており、A0, A1のアドレスピンでチャンネルを選択します。アドレスのラッチは電源投入時、スリープ状態の解除時、およびCONVの“L”から“H”への変化で行われます。入力チャンネルのアドレスを表1に示します。複数のチャンネルを使用する場合は、下図のようにCONVパルスを入力します。1チャンネルのみ使用する場合は、CONVを“H”に保った状態で連続変換することができます。

A1	A0	入力ピン
0	0	AIN1
0	1	AIN2
1	0	AIN3
1	1	AIN4

表1. 入力チャンネルアドレス



CONV信号、チャンネル、出力データのタイミング

■ アナログ入力インピーダンス

AK5505/06のアナログ入力は、図1のようにモデル化されます（簡単のため、マルチプレクサは省略しています）。入力信号（AIN+, AIN-）をダイナミックにサンプリングするために各15pFのキャパシタが使用されています。1/(2XIN)毎に、キャパシタをバッファの出力と直接AINに交互に接続します。サンプリングキャパシタがバッファからAINピンに切り替えられるとき、サンプリングキャパシタの電圧値を最終値にセトリングするため、入力源から少量の充電が必要になります。

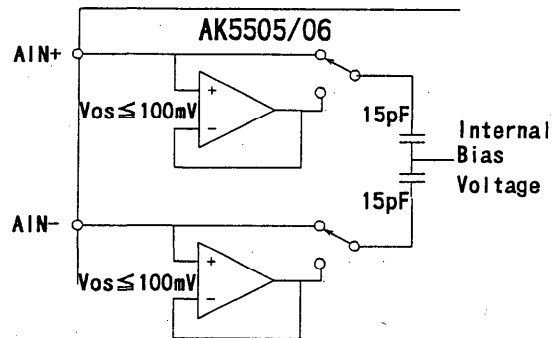


図1 アナログ入力モデル

バッファの出力電圧は、そのオフセットのために実際の入力電圧との電圧差が100mVあります。サンプリングキャパシタの電圧がセトリングするまでには、1/(2XIN)サイクルの時間が許されます。セトリング時間は以下の式で定義されます。

$$V_o = V_{in} [1 - e^{-t/R^C}] \quad (1)$$

ここで V_o はセトリングしたときの最終値、 V_{in} は入力電圧、 R は入力ソース抵抗、 C はサンプリングキャパシタ、 t は1/(2XIN)です。上式から以下の式が導かれます。

$$R_{smax} = \frac{1}{2XIN(15pF + C_{ext}) \ln \left[\frac{15pF}{15pF + C_{ext}} \right] 100mV/V_e} \quad (2)$$

ここで、 V_e は許容できる最大誤差電圧、 C_{ext} は浮遊容量または入力ピンの負荷容量です。またバッファのオフセットは最大100mVと仮定しています。

基準電圧が2.5V（ユニポーラモード）、動作周波数32.768kHz、許容最大誤差電圧 V_e が1/4LSB、 C_{ext} が5pFの場合、ソース抵抗は82kΩまで許容できます。

XINの動作周波数が1/($R_s \cdot C_{ext}$)よりずっと大きい（10倍以上）場合、以下の式が導かれます。

$$R_{smax} = \frac{1}{2XIN(15pF) \ln [100mV/V_e]} \quad (3)$$

基準電圧もアナログ入力とほぼ同じ構造を持っているため、同様の議論が適用されます。

■ クロック発振器

AK5505/6はクロック発振回路を内蔵しているため、32.768kHzの水晶振動子をXINピンとXOUTピンの間に接続してマスタクロックを供給することができます。このとき、発振に必要な負荷容量や抵抗は全て内蔵されているため外付け部品は不要です。図2にクロック発振回路とチップ上の制御ロジックの簡略図を示します。

外部クロック（CMOSレベル）をマスタクロックとする場合、XINピンに入力し、XOUTピンはオープンにしてください。このときマスタクロックの周波数は30kHzから100kHzです。変換レートや32.768kHz時に50Hzと60Hzにあるデジタルフィルタのノッチ点はマスタクロックの周波数に比例して変化します。

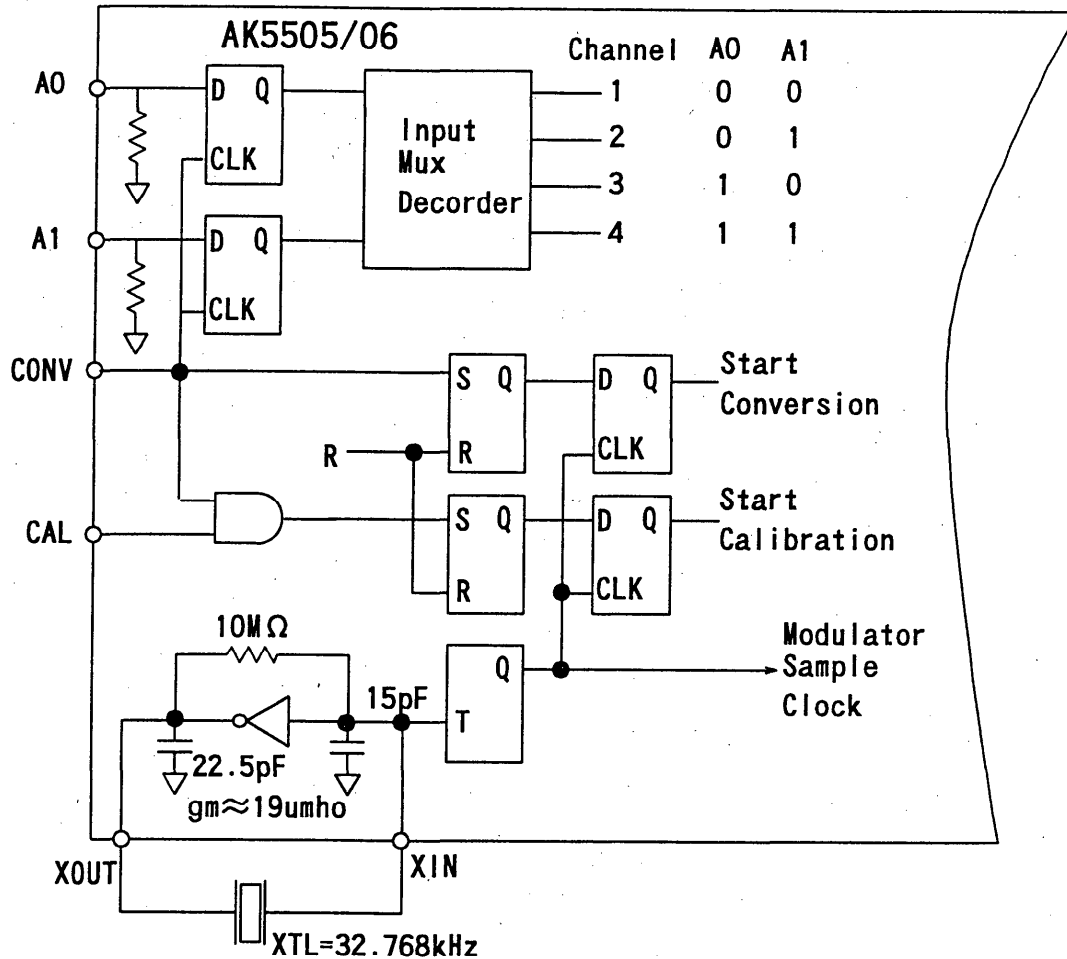


図2 発振回路と制御ロジック

■ シリアルインタフェース

AK5505/6のデータ出力は以下の2種類のインタフェースで動作し、MODEピンで選択できます。タイミング図の出力データはAK5505の場合を示しており、AK5506(20ビット出力)ではMSBがD19になります。

- ・SSC(内部同期クロック)モード: MODEピンをVD+(+5V)に接続。
- ・SEC(外部同期クロック)モード: MODEピンをDGNDに接続。

1) SSC(内部同期クロック)モード

SSCモードでは \overline{DRDY} の立ち下がりエッジとSCLKの立ち下がりエッジはマスタクロック(XINピンに入力されるクロック:CLK)を2分周したクロックの立ち上がりエッジで変化します。

A/D変換が完了し、新しいデータで出力ポートが更新される毎に \overline{DRDY} が立ち下がります。 \overline{DRDY} が“L”になってから \overline{CS} を“L”にすると、データ出力(SDATA)がイネーブルされ、シリアルクロック(SCLK)が出力されます。このときSCLKはCLKの立ち上がりでHi-Z状態から“L”に変化します。その後、データはSCLKの立ち下がりで、MSBからSDATAピンに出力されます。SCLKの周波数はCLKを2分周(2/fCLK)したものです。LSBを出力した後、SDATAとSCLKはHi-Z状態になります。このときSCLKは、CLKの立ち上がりで“H”からHi-Z状態に変化します(図1)。データ出力中にシリアルポートの更新タイミングになった場合は、シリアルポートのデータは更新されません(図2)。

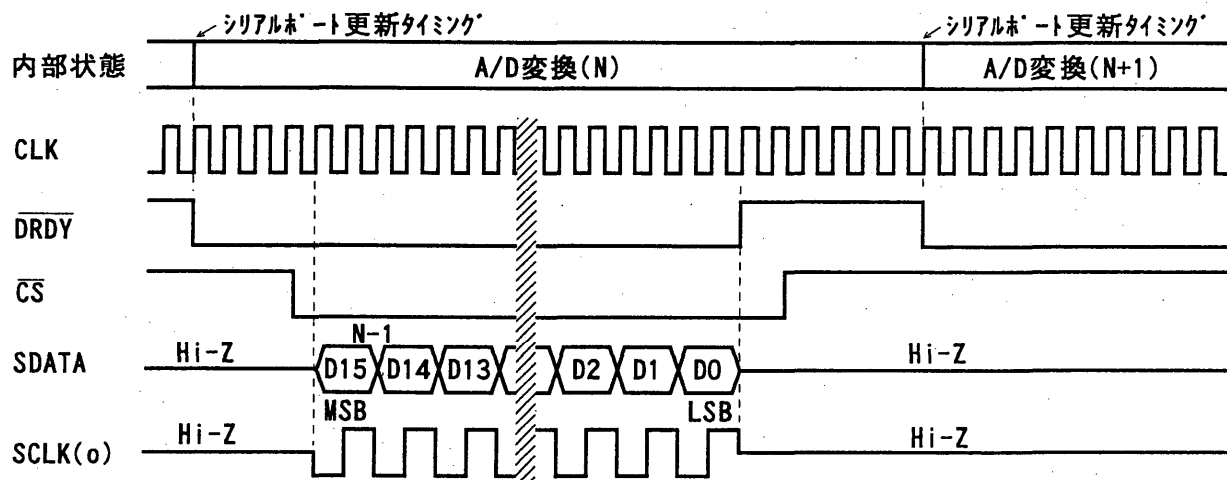


図1. SSCモードタイミング (1)

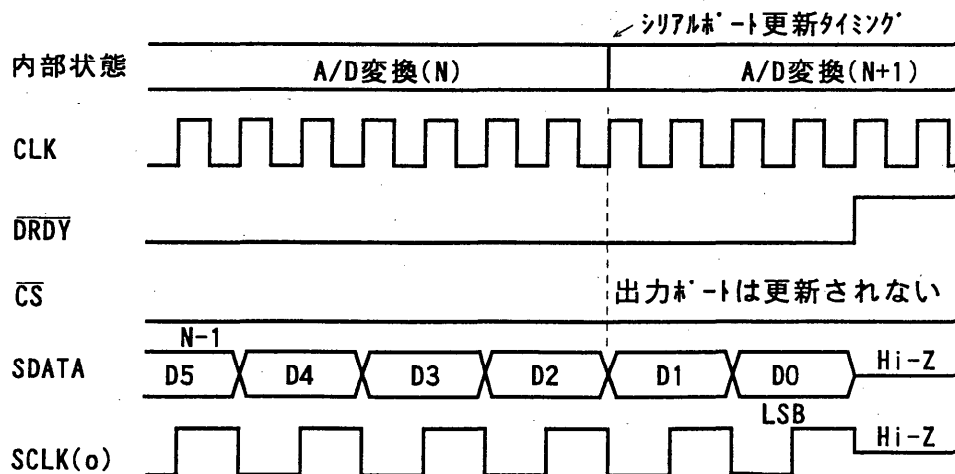


図2. SSCモードタイミング (2)

【DRDY】

以下はDRDYが“L”から“H”に変化する条件です。

- ① 16ビットデータを全部出力してSDATA, SCLKが共にHi-Z状態になったとき
- ② スリープ状態 (MODE="M") になったとき
- ③ 出力ポートを更新する2tCLK前で、SDATAがHi-Z (CS="H") でかつDRDYは“L”のとき (図3)

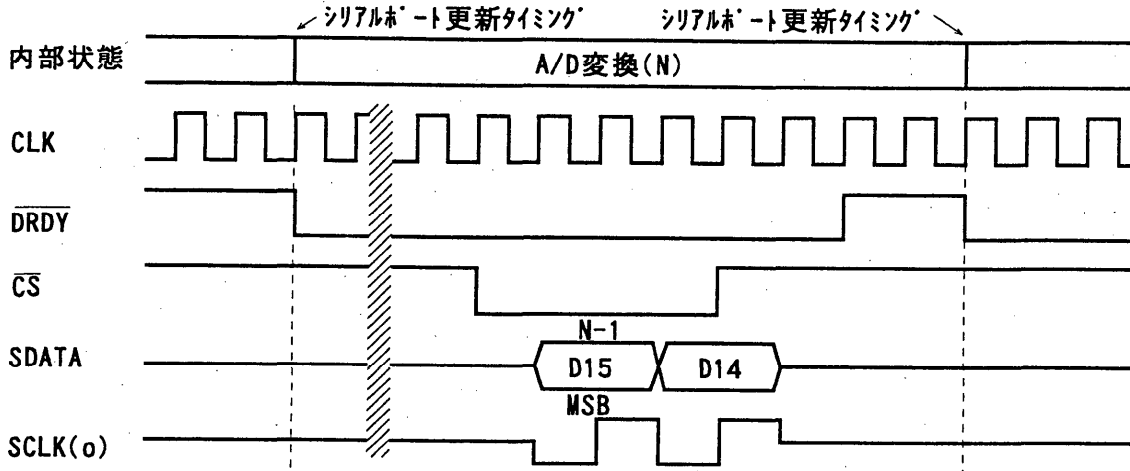


図3. SSCモードタイミング (3)

【CS】

データ出力の途中でCSが“H”になった場合、出力中のビットデータをクロックアウトしてからSDATA, SCLKはHi-Z状態になります。このときSCLKはマスタクロックの立ち上がりで“H”からHi-Z状態に遷移します。出力ポートが更新される (DRDYの立ち下がり) 前に再度CSを“L”にするとデータ出力が再開されます。ただし、出力ポートが更新される直前の2tCLK間は、CSの“H”から“L”への変化は無視され、出力ポートは更新され、未出力のデータは失われてしまいますので、それ以前に残りのデータを受信して下さい。A/D変換動作中、CSが“H”に固定されているとDRDY (2tCLK間“H”) のみ周期的に出力されます。CSを“L”に固定して連続的に変換動作を行った場合、DRDYの立ち下がりから2tCLK後にMSBデータが出力され、DRDYとSDATAは一定の変換サイクルで出力されます (図5)。

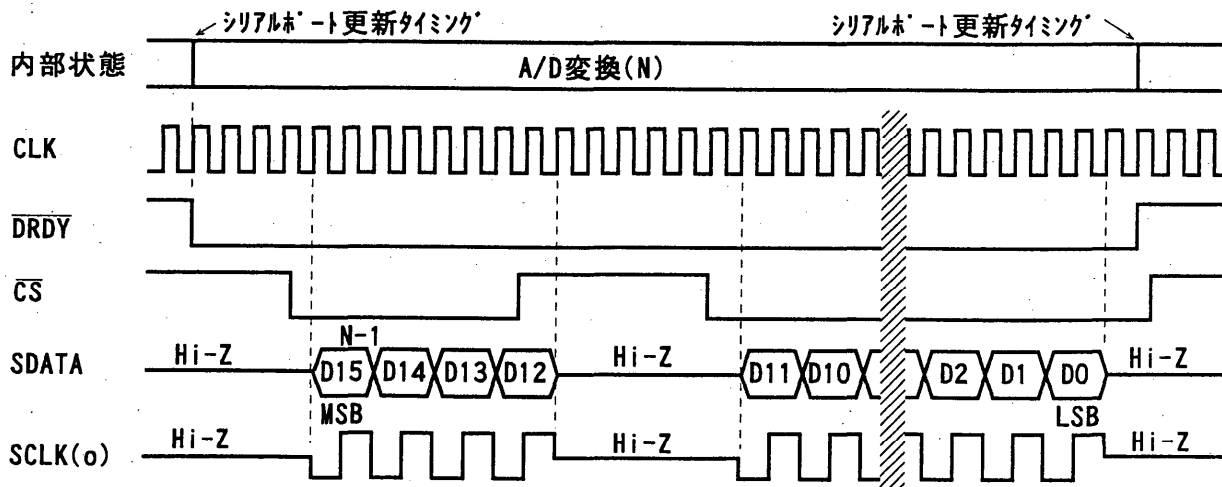


図4. SSCモードタイミング (4)

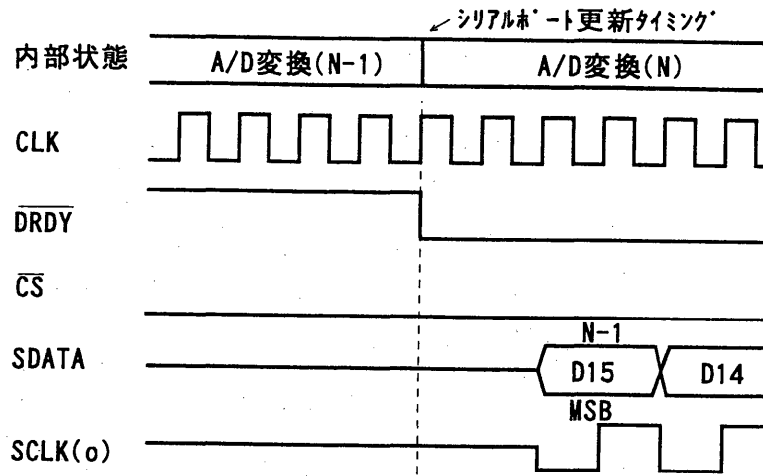


図5. SSCモードタイミング (5)

2) SEC (外部同期クロック) モード

A/D変換が完了し、新しいデータで出力ポートが更新される毎に $\overline{\text{DRDY}}$ が立ち下がります。 $\overline{\text{DRDY}}$ が“L”になってから $\overline{\text{CS}}$ を“L”にすると、SDATAがイネーブルされ、MSBデータが出力されます。その後、外部からSCLKを入力すると、SCLKの立ち下がりでの次のビットデータが出力されます。LSBデータを出力した後、SDATAはHi-Z状態になります(図6)。データ出力中にシリアルポートの更新タイミングになった場合は、シリアルポートのデータは更新されません(図7)。

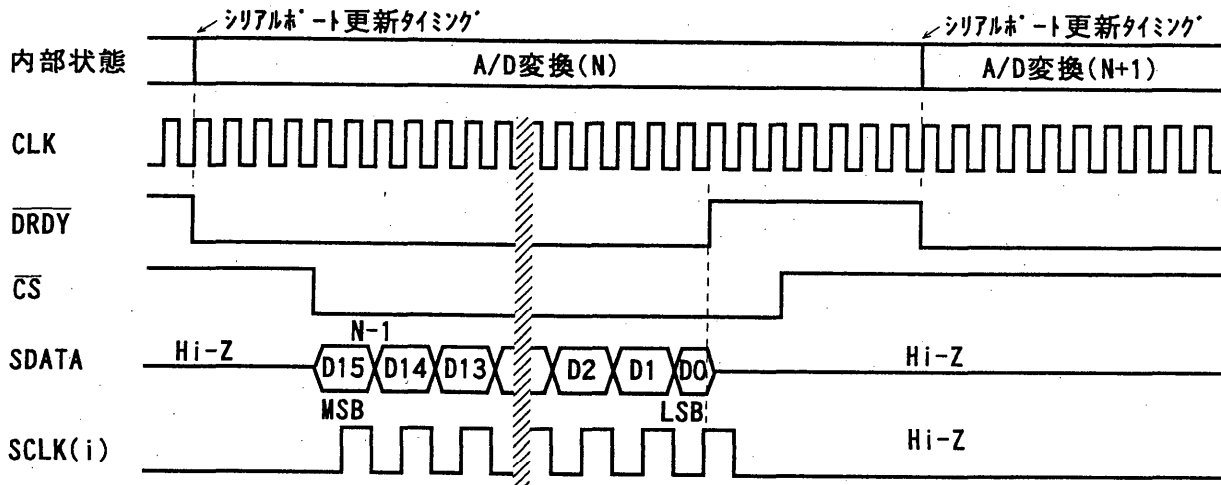


図6. SECモードタイミング (1)

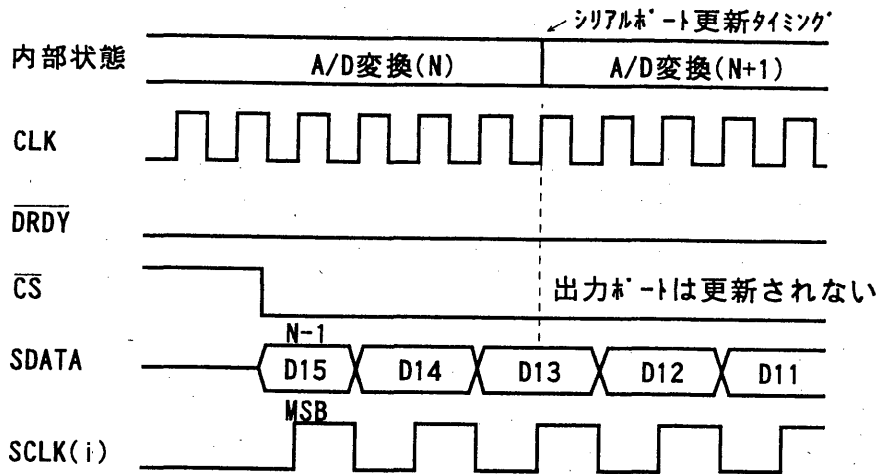


図 7. SECモードタイミング (2)

【DRDY】

以下はDRDYが“L”から“H”に変化する条件です。

- ①16ビットデータを全部出力してSDATAがHi-Z状態になったとき
- ②スリープ状態 (MODE="M") になったとき
- ③出力ポートを更新する2tCLK前で、SDATAがHi-Z (CS="H") でかつDRDYが“L” (データ出力が完了していない) のとき (図 8)

ただし、出力ポートを新しいデータで更新する直前の2tCLK間でデータ出力を完了 (DRDYが“L”から“H”に変化) した場合や出力が中断 (CSが“L”から“H”に変化) した場合は、出力ポートは新しいデータで更新されません (図 9)。

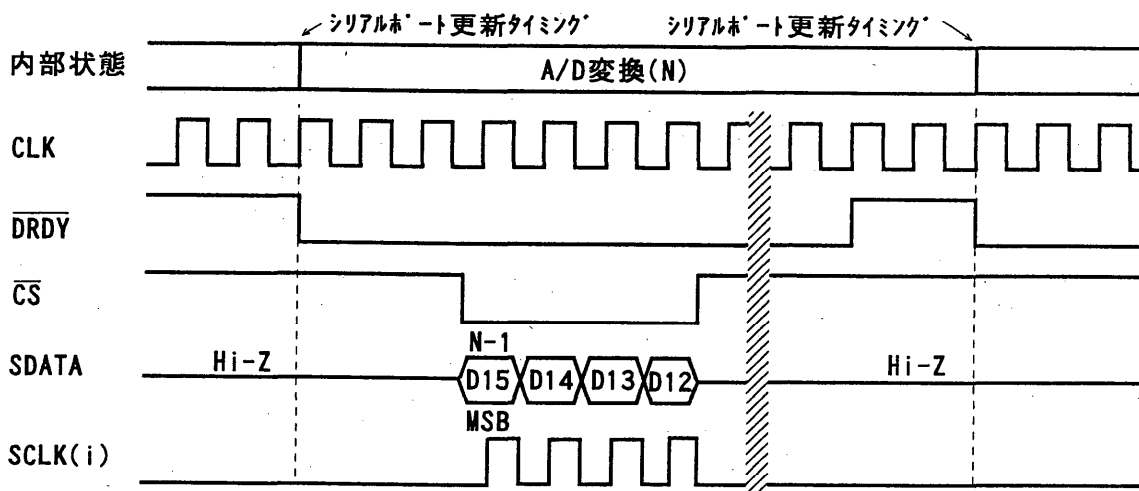


図 8. SECモードタイミング (3)

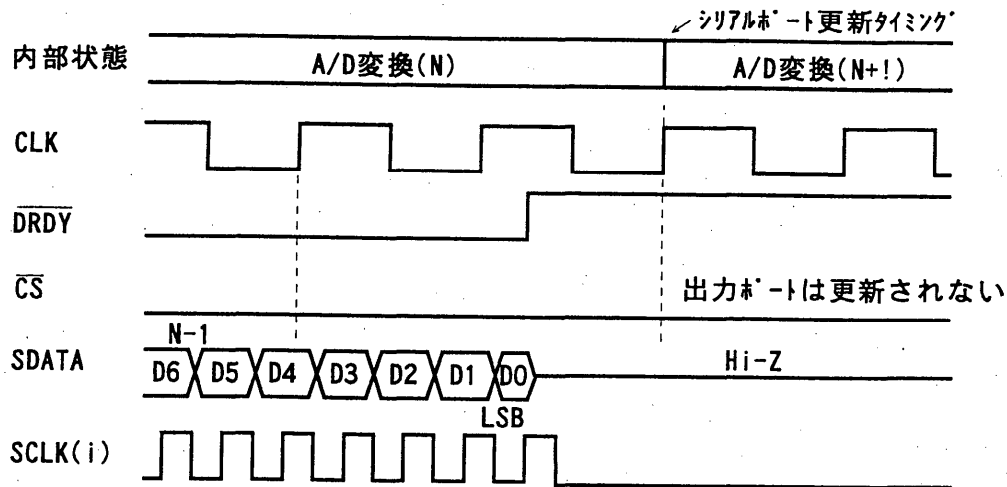


図9. SECモードタイミング (4)

【CS】

データ出力の途中でCSが“H”になった場合、SDATAは直ちにHi-Z状態になります。出力ポートが更新される(DRDYの立ち下がり)前に再度CSを“L”にするとデータ出力が再開されます(図10)。CSが“H”のままだと未出力のデータは失われます。ただし、出力ポートが更新される直前の2tCLK間は、CSの“H”から“L”への変化は無視され、出力ポートは更新され、未出力のデータは失われてしまいますので、それ以前に残りのデータを受信して下さい。A/D変換動作中、CSが“H”に固定されているとSCLKに係わらず、DRDY(2tCLK間“H”)のみ周期的に出力されます。CSを“L”に固定した場合はDRDYの立ち下がりMSBが出力されます。

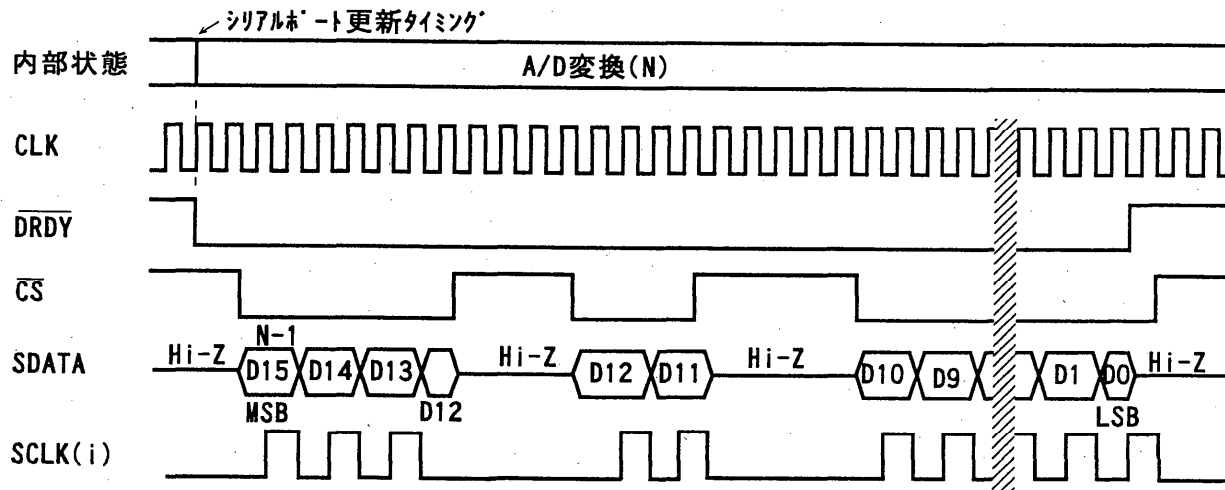


図10. SECモードタイミング (5)

【SDATA】

以下はデータ出力中にSDATAがHi-Z状態になる条件です。

- ① 16ビットデータを全部出力してSDATAがHi-Z状態になったとき
- ② スリープ状態(MODE="M")になったとき
- ③ CSが“H”になったとき

マイクロプロセッサのシリアルインターフェースを用いる場合は、SDATAのフローティング遅延時間に注意する必要があります。

■ アナログ入力レンジ

アナログ入力ピンは差動入力になっており、入力電圧は正入力ピン (AINX+) と負入力ピン (AIN-) の差、(AINX+)-(AIN-)になります。ユニポーラ入力レンジ (BP/UP="L") の場合、アナログ入力電圧は 0V から (VREF+)-(VREF-) の範囲、バイポーラ入力レンジ (BP/UP="H") の場合、アナログ入力電圧は -[(VREF+)-(VREF-)] から +[(VREF+)-(VREF-)] の範囲になります。入力電圧が上記の範囲より小さい場合は 0000 [16進:16ビット], 00000 [16進:20ビット]、大きい場合は FFFF [16進:16ビット], FFFFF [16進:20ビット] を出力します。ただし、フルスケールの 1.5 倍を超えて入力されると出力データは不定になります。

キャリブレーション結果はユニポーラ、バイポーラモードとも共通なので、一度キャリブレーションすれば、BP/UP を切り替えても再キャリブレーションする必要はありません。

ユニポーラモード	出力コード		バイポーラモード
	16ビット	20ビット	
$1.5 \times \Delta VREF \geq > (\Delta VREF - 1.5LSB)$	FFFF	FFFFFF	$1.5 \times \Delta VREF \geq > (\Delta VREF - 1.5LSB)$
$\Delta VREF - 1.5LSB$	$\frac{FFFF}{FFFE}$	$\frac{FFFFFF}{FFFFE}$	$\Delta VREF - 1.5LSB$
$\Delta VREF / 2 - 0.5LSB$	$\frac{8000}{7FFF}$	$\frac{80000}{7FFFF}$	-0.5LSB
+0.5LSB	$\frac{0001}{0000}$	$\frac{00001}{00000}$	$-\Delta VREF + 0.5LSB$
$< +0.5LSB \geq 1.5 \times (-\Delta VREF)$	0000	00000	$(-\Delta VREF + 0.5LSB) > \geq 1.5 \times (-\Delta VREF)$

$$\Delta VREF = (VREF+) - (VREF-)$$

表 2. 入力電圧 ($\Delta AIN: (AIN+) - (AIN-)$) と出力コードとの関係

■ デジタルフィルタ特性

AK5505/6 のデジタルフィルタはマスタクロック 32.768kHz のとき電源周波数 (50Hz, 60Hz およびその正数倍) にゼロ点をもつように設計されており、各ゼロ点での減衰量は 120dB を超えています。

周辺回路との接続

■ アナログ入力

AK5505/6のアナログ入力ピン (AIN+, AIN-, VREF+, VREF-ピン) は、DCでは非常に高い入力インピーダンスをもち、マスタクロックの周波数に比例して若干の動的負荷を形成します。DC精度を保つために、入力ソース抵抗は55kΩ以下 (@f_{CLK}=32.768kHz) を推奨します。また、入力ソース抵抗が大きい場合はDCバイアス電流による誤差を考慮する必要があります。

アナログ入力ピンでの入力電圧が絶対最大定格を超えると過度の電流が流れラッチアップを引き起こし、デバイスが破壊される可能性があります。システム上このような可能性がある場合 (±15V電源等が存在する場合) は、入力電流の制限のための保護回路が必要になります。

AK5505/6では、ΔΣ変調器のサンプリングレート (f_s=f_{CLK}/2) の整数倍の周波数で折返しノイズが発生します。従って、入力信号上の高域のノイズは各アナログ入力ピンに適当な値のRCフィルタを追加して除去することによってADCの出力ノイズを一層低減することが可能です。このRCフィルタの値は入力ソース抵抗や基板ノイズ等の影響を考慮して決めます。f_{CLK}=32kHzの場合、f_s=16kHzで-20dBの減衰量を得ようとするRCフィルタのカットオフ周波数は1.6kHz (例えば、R=2kΩ, C=0.047μF) になります。また、RCフィルタのコンデンサはアナログ入力ピンのクロックフィードスルーのデカップリングに効果があります。

■ 基準電圧

AK5505/6は基準電圧源を内蔵しており、VREFOUTピンにバッファを通して出力されます。出力電圧はVA+を基準にして-2.5V(typ)です。バッファは外付けのコンデンサで安定しますので、VREFOUTピンとVA+との間に0.1μFのコンデンサを接続して下さい。また、VREFOUTピンを使用しない場合はVA-に接続して下さい。絶対精度や温度ドリフトを考慮する必要がある場合は適切な基準電圧を外部から入力して下さい。

スリープ解除直後にキャリブレーションやA/D変換を行う必要がある場合、VA+とVREFOUTの間に1MΩの抵抗を入れることによってVREFOUTのスタートアップを早めることができます。

VREF+, VREF-入りにRCフィルタを追加して折返しノイズを除去することによってADCの出力ノイズを一層低減することが可能です。

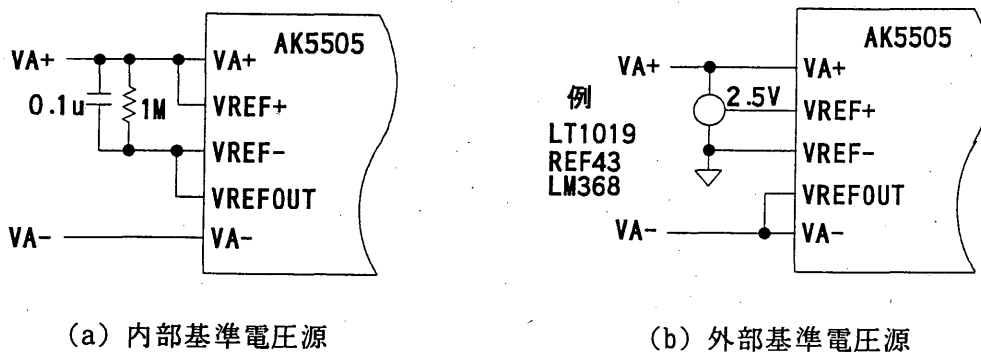


図11. 基準電圧接続例

■ スリープ回路

図12はSSCモード使用時にM/SLPピンをスリープモードのしきい値にバイアスする方法の一例を示します。SECモードでは、R1を電源ではなくDGNDに接続します。

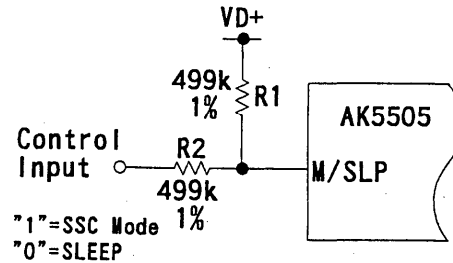


図12. スリープコントロール例

■ 出力負荷の考察

負荷がTTLデバイスするとき、デジタル電流および信号の電流が大きくなるためにクロストークが増大します。インタフェースにはCMOSロジックを接続することを推奨します。適合するロジックファミリーは4000B, 74HC, 74AC, 74ACT, 74HCTシリーズです。オプトアイソレータを駆動する場合は、AK5505/6の出力をバッファする必要があります。

■ グランドと電源のデカップリング

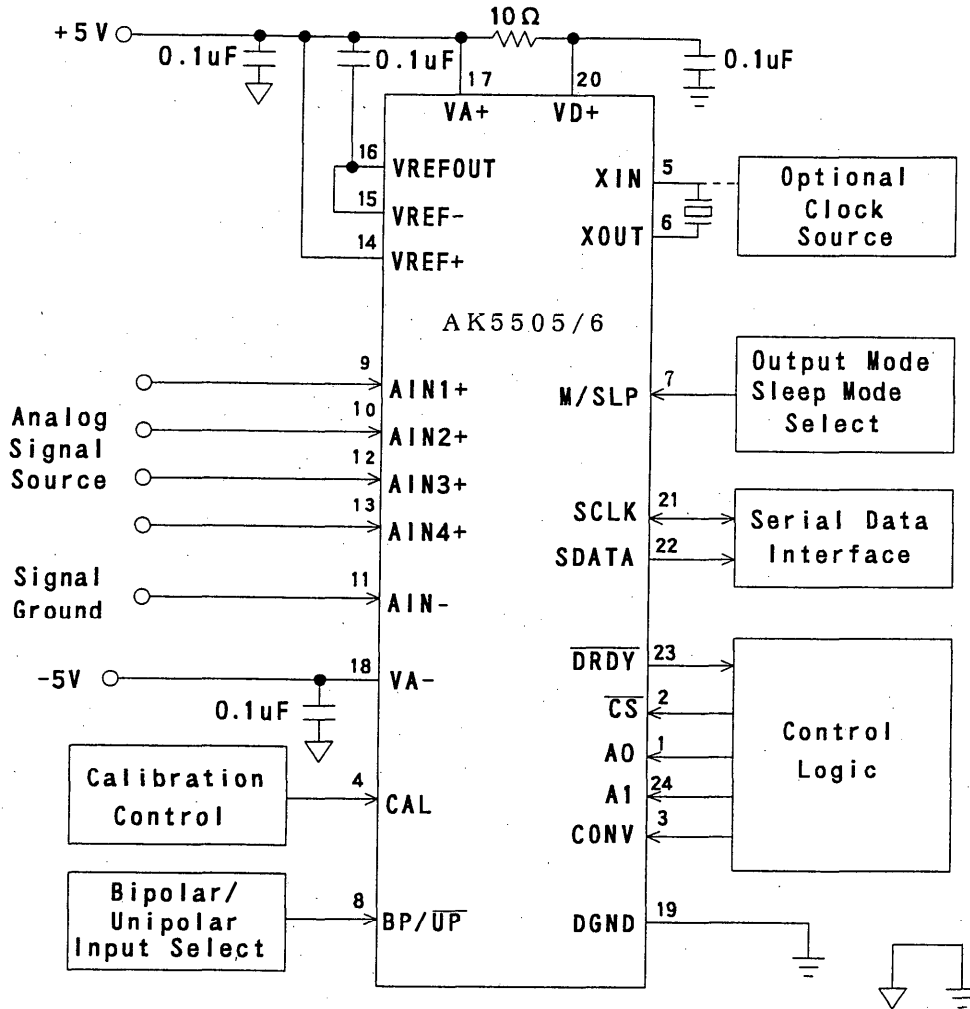
デジタル電源とアナログ電源はAK5505/6の内部では分離されており、チップのデジタル部とアナログ部のカップリングを最少にするため独立に電源ピンを出しています。全ての電源は、それぞれ0.1 μ Fのセラミックコンデンサでデカップリングします(図13参照)。

AK5505/6の正のデジタル電源電圧は正のアナログ電源電圧より0.3V以上絶対超えないようにして下さい。さもないとデバイスを破壊してしまう可能性があります。図13のシステム接続図に、1組の ± 5 V電源からAK5505/6に電源を供給する場合のデカップリング方法を示します。デジタル正電源はアナログ正電源から10 Ω の抵抗を通して供給し、アナログ電源電圧がデジタル電源電圧以下になることを防いでいます。この回路を使用する場合には、デジタルの負荷電流(10 Ω の抵抗を通して流れる)によって電源電圧の規格値の最小値(± 4.5 V)以下にならないように注意して下さい。

周辺のアナログ回路とAK5505/6に別電源が使用される場合、AK5505/6を最初に立ち上げて下さい。もし周辺のアナログ回路とAK5505/6に共通の電源が使用される場合は、周辺のデジタル回路の電源より、先に立ち上げて下さい。

AK5505/6は通過域(DC~10Hz)で良好な電源変動除去特性をもっています。また、10Hz以上では内蔵のデジタルフィルタによって除去特性は向上します。もしAK5505/6の電源がDC-DCコンバータで供給されるならば、DC-DCコンバータの動作周波数をAK5505/6のサンプリングレート($f_{CLK}/2$)の整数倍にしないようにします。AK5505/6の全てのロジック入力にDGNDまたはVD+に接続して下さい。フローティングや他のロジック電源には接続しないで下さい。

システム接続図を図13.14に示します。AK5505/6では基準電圧の入力方法やアナログ電源の組み合わせを用途に応じて選択することが可能です。実際の回路例については評価用ボード（AKD5505）のマニュアルを参照して下さい。

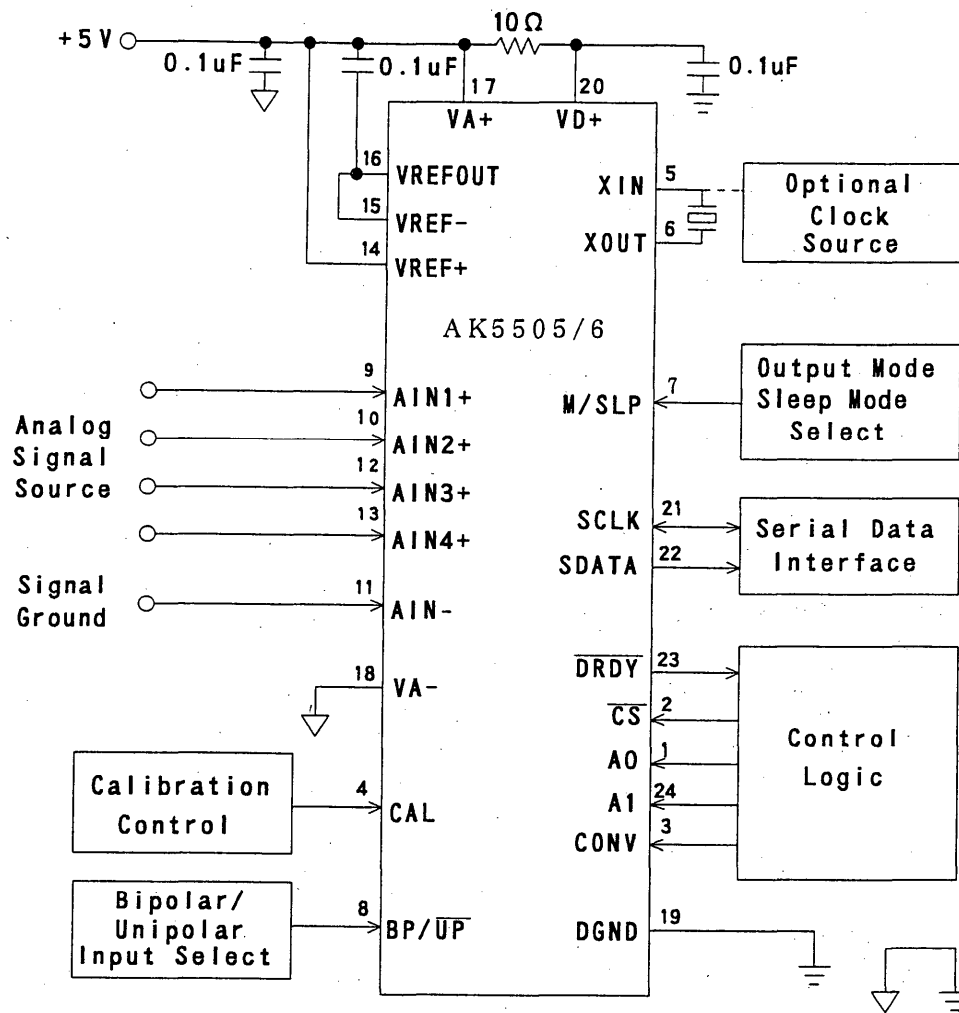


注) 未使用のロジック入力は、DGNDまたはVD+に接続して下さい。

未使用のアナログ正入力は、VA-に接続して下さい。

図13. システム接続図 1

(内部基準電圧源、アナログ電源±5V使用時)



注) 未使用のロジック入力は、DGNDまたはVD+に接続して下さい。
 未使用のアナログ正入力は、AIN-に接続して下さい。

図14. システム接続図 2
 (内部基準電圧源、+5V単一電源使用時)

■直線性

AK5505/6は優れた直線性、微分直線性を示します。AK5505では16ビットコード欠けなしを保証し、AK5506では18ビットまでコード欠けが生じません。図15にAK5505の微分直線性プロットを示します。

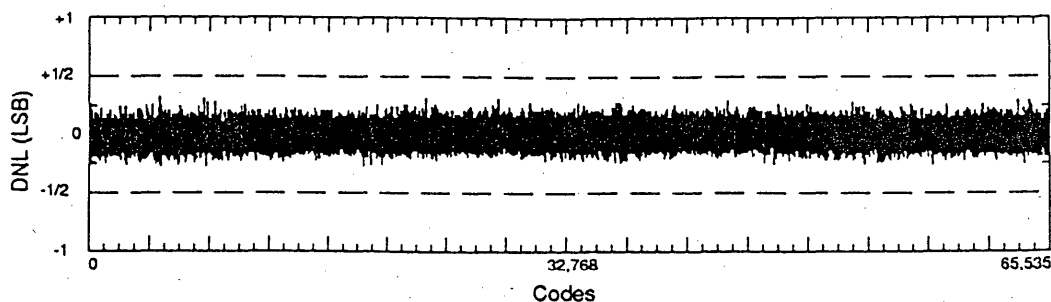


図15 AK5505 DNLプロット

■ノイズ特性

図16はバイポーラモードで、AK5506から10,000回のサンプリングによって得られた出力コードの発生を示すヒストグラムプロットです。出力データの99.7%が $\pm 3\sigma$ （この例では $\pm 6.24\text{LSB}$ ）内に分布します。また、この出力データを4つずつ加算平均した結果を図17に示します。出力データをN回平均することで、ノイズレベルを $1/\sqrt{N}$ に減少させることができます。

コード欠けが問題となるアプリケーションでAK5506を使用する場合、18ビット分解能で使用することを推奨します。

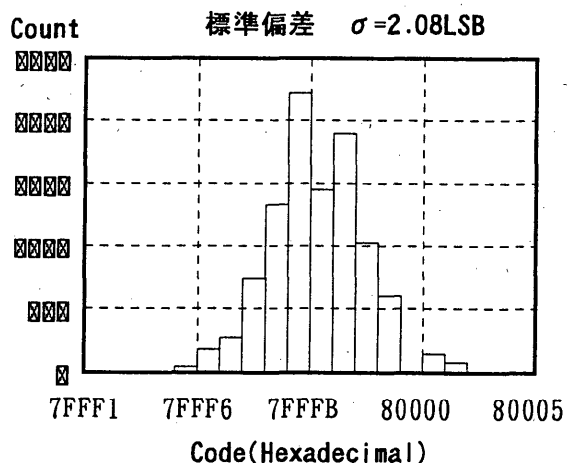


図16 出力コードのヒストグラムプロット

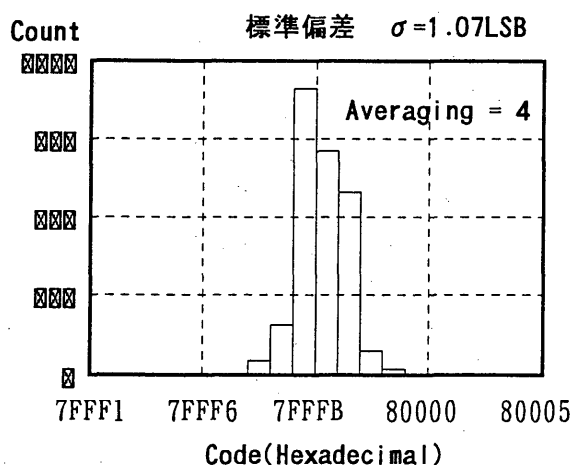
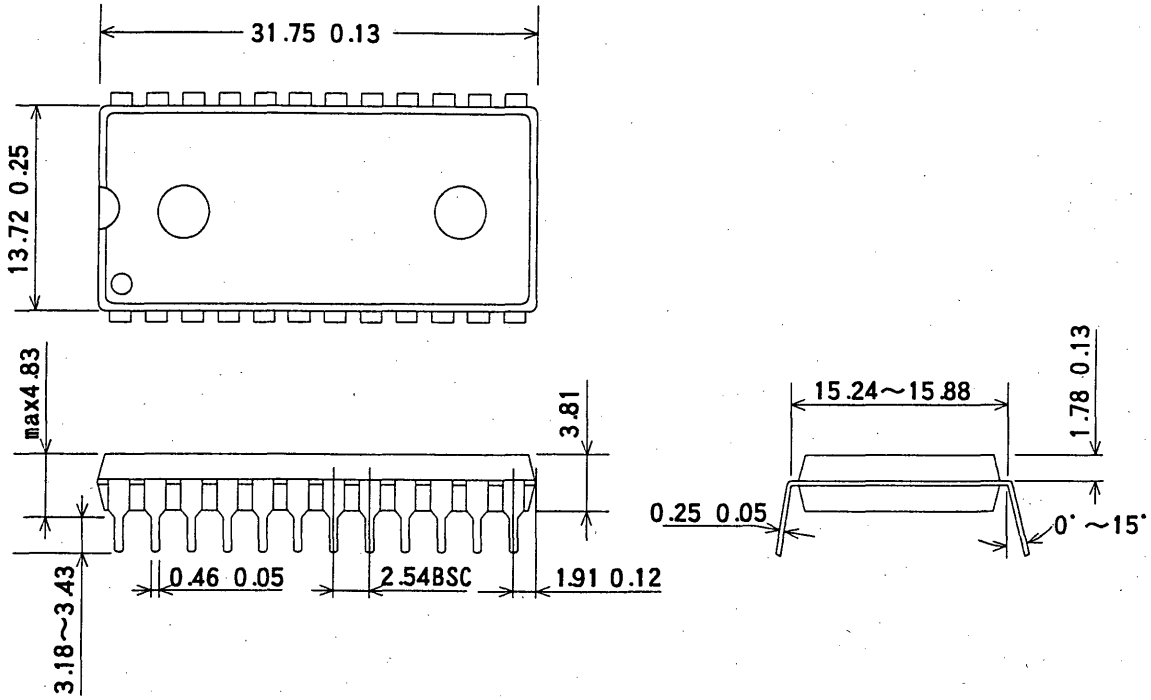


図17 出力コードのアベレージング

パッケージ

単位：mm

● 24ピンプラスチックDIP



● 24ピンSOP

詳細は当社までお問い合わせ下さい。

パラメータの定義

- **直線性誤差 (Linearity Error)**
ゼロスケールとフルスケールを結んだ直線から、A/D変換したコードがどれだけずれているかを示したものです。ゼロスケールとは最初のコード変化より1/2LSB低い点で、フルスケールとは、すべてのコードが"1"になる変化より1/2LSB高い点です。単位は%FSです。
- **微分直線性 (Differential Linearity)**
各ビットのコード幅が理想の幅と比べ、どれだけずれているかを示します。単位はLSBです。
- **フルスケール誤差 (Full Scale Error)**
全ビットがオール"1"に変化する入力電圧値が、理想値(VREF-1.5LSB)と比べてどれだけずれているかを示します。単位はLSBです。
- **ユニポーラオフセット (Unipolar Offset)**
ユニポーラモード (BP/ \overline{UP} が"L") のとき、000...000から000...001へのコードの変化が理想値 (AGND+0.5LSB) と比べてどれだけずれているかを示します。単位はLSBです。
- **バイポーラオフセット (Bipolar Offset)**
バイポーラモード (BP/ \overline{UP} が"H") のとき、011...111から100...000へのコードの変化が理想値 (AGND-0.5LSB) と比べてどれだけずれているかを示します。単位はLSBです。
- **バイポーラネガティブフルスケール誤差 (Bipolar Negative Full-Scale Error)**
バイポーラモードのとき、最初のコードの変化が理想値からどれだけずれているかを示します。理想値とは、最終値の変化点とミッドスケールの変化点を結んだ直線で定義されます。単位はLSBです。
- **ポジティブフルスケール入力オーバレンジ (Positive Full-Scale Input Overrange)**
正確なシステムキャリブレーションまたは正確な変換を行なうことのできる正の絶対最大入力電圧です。単位はVです。
- **ネガティブフルスケール入力オーバレンジ (Negative Full-Scale Input Overrange)**
正確なシステムキャリブレーションまたは正確な変換を行なうことのできる負の絶対最大入力電圧です。単位はVです。

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害が生じた場合はすべてお客様にてご負担または補償して頂きますのでご了承下さい。